筑波大学大学院 数理物質科学研究科

電子・物理工学専攻

『デバイスシミュレーション序論・実習』

2015年度版

筑波大学大学院 電子・物理工学専攻

佐野 伸行 Office: 3M 405 e-mail: sano@esys.tsukuba.ac.jp

TA: 井上 土屋 (3L 406)

目 次

目 次

1	はじめに	3
2	MOSFET の物理	5
	2.1 MOS キャパシタの基本動作	5
	2.1.1 蓄積領域	5
	2.1.2 空乏領域	7
	2.1.3 反転領域	8
	2.2 MOS キャパシタの CV 特性とフラットバンド電圧	8
	2.3 MOSFET の基本構造と動作	10
	2.3.1 n-MOSFET の基本動作	10
	2.4 MOSFET 特性の基本公式	11
	2.4.1 n-MOSFET のドレイン電流	11
	2.4.2 n-MOSFET の伝達特性	13
3	ドリフト拡散法	14
	3.1 基本方程式	14
	3.2 擬フェルミ・ポテンシャル	15
	3.3 ドリフト拡散法のアルゴリズム	16
	3.4 ドリフト拡散法における物理モデル	16
	3.4.1 移動度モデル	17
	3.4.2 生成再結合モデル:Shockley-Read-Hall (SRH) model	17
	3.4.3 オージェ再結合モデル	18
	3.4.4 衝突イオン化モデル	18
4	シミュレーション実習の課題	20
	4.1 課題1(実習1日目):デバイス・シミュレータを実行してみる	20
	4.2 課題2(実習2-3日目): MOSFETのCV特性と	22
5	付録	24

1. はじめに

1 はじめに

半導体デバイスのサイズは、ほぼ3年ごとに 1/2 に微細化(或いは、4倍に集積化)されている。この傾向が、いわゆるムーア(Moore)の法則である(図1参照)。ごく最近(2009年現在)の最先端デバイスのサイズ(ハーフピッチ)は、既に0.05 µm (50 nm)を切っており、そのサイズはデカナノスケールに突入している。1個のチップに今や10億程度のトランジスタが搭載され、そのチップが1枚のシリコンウエハーに約400程度搭載されて、量産されている。過去10年程度で作成されたトランジスタの数は、なんと人類が地球上に出現してから現在までに収穫してきた米粒よりも多い、との指摘もある。

このような際限の無いデバイスの微細化に伴って、世代ごとの新しいデバイス設計でデバイス シミュレーションがこれまでにも無く重要な役割をになっている。特に、シングルナノスケール (≤ 10 nm) が目前に迫った昨今では、微細化限界の物理的要因の解明や新規構造デバイスの構 築等が急務となってきており、それらの研究において、デバイスシミュレーションやデバイスモ デリングが中心的役割を果たしている。

デバイス・シミュレーションあるいはデバイス・モデリングの目的は、大きく分けて二つある。 半導体デバイス内で起きている様々な物理現象の機構を解明することと、新しい世代のデバイス の特性を予測してデバイス設計に資することである。デバイス・シミュレーションは、以下の2 種類のシミュレーション手法が一般によく使われている:

- (1) 連続的描像のもとでの流体デバイス・シミュレーション
- (2) 離散的描像のもとでの粒子デバイス・シミュレーション

前者の代表的なものがドリフト拡散法であり、デバイス設計の現場で今も広く使われている汎 用型デバイス・シミュレータである。また後者の代表的なものがモンテカルロ法と呼ばれるもの であり、デバイス内での複雑な物理機構の解明を目指した研究ツールとして用いられている。そ の他にも、電子の量子効果を加味した非平衡グリーン関数法等の手法が提案されているが、これ ら二つの手法に比べて、得られる特性結果や物理モデルの正当性が明確とは言えない。



図 1: Moore の法則 (Intel のホームページから引用)



図 2: モンテカルロ・シミュレーションの概念図

デバイス・シミュレータの基本的な枠組みは、デバイス内部の静電ポテンシャル分布を確定す るポアソン方程式と、電子や正孔の輸送現象を記述する輸送方程式からなる。そして、これら 二種類の方程式を自己無撞着に数値的に解く。輸送方程式として用いられる基礎方程式の違いに よって、様々な種類のデバイス・シミュレーションに分かれる。

モンテカルロ・シミュレーションにおける基礎方程式は、ボルツマン輸送方程式である。従っ て、非線形応答まで含めて(半古典的な範疇のもとでは)厳密に輸送現象を記述することができ る(図2参照)。一方、流体近似のもとでのドリフト拡散シミュレーションは、ボルツマン輸送 方程式の1次モーメントに対するバランス方程式を基礎方程式としている。その結果、局所平衡 状態(すなわち1次モーメントのみでの記述の正当性)が破れるような非局所効果が強い状況で 破綻する。

ゲート長が既に 10 nm を切っている極微細デバイスでのキャリア輸送では、準弾道輸送にみ られるように、非局所効果が顕在化している。従って、ドリフト拡散法による極微細デバイスの シミュレーションは、物理的・数学的観点からすれば、非常に困難である。しかしながら、数値 計算上の手軽さやロバスト性から、ドリフト拡散シミュレーションが今も唯一の現実的なエンジ ニアリングツールであることから、シミュレータに使用されている様々な物理モデルを非局所効 果と整合性が取れるように構築することが、シミュレーションの正当性を裏付けるために必要不 可欠となる。

以上から明らかなように、極微細の将来デバイスをドリフト拡散法でシミュレートするには、 その原理をしっかり踏まえたうえで、適用範囲を物理的観点からしっかり把握して利用すること が重要となっている。

本稿では、ドリフト拡散法の原理を簡単にレビューしたうえで、3次元ドリフト拡散シミュ レータを実際に使用して、様々なデバイス特性シミュレーションを実習する。同時に、デバイス シミュレーションより得られた特性の物理的解釈を行うことで、現象の物理的理解の深みという ものを実感してもらいたい。 2. MOSFET の物理

2 MOSFETの物理

2.1 MOS キャパシタの基本動作

MOS キャパシタは、金属電極、絶縁膜(酸化膜)、半導体(シリコン)からなる。後述する n チャネル MOS との対応から、ここではアクセプター不純物をドープした p型基板のシリコンを 用いた MOSMOS キャパシタを考える。さらに、金属のフェルミエネルギーと半導体のフェル ミエネルギーが一致する(つまり、フラット電圧がゼロの)理想的な状態で理論解析を進めて、 最後に、より現実的な状態に対応するように理論を拡張する。

ゲート電圧 V_G の大きさによって、平衡状態のもとで、MOSキャパシタは以下のような3種類の領域に分けて議論することが出来る(図3参照)。

- (1) 蓄積領域 (accumulation region)
- (2) 空乏領域 (depletion region)
- (3) 反転領域 (inversion region)

それぞれの領域について、以下で詳しく解説する。



図 3: MOS キャパシタにおけるバンド図。A: 平衡状態、B: 蓄積状態 ($V_G < 0$)、C: 空乏状態 ($V_G > 0$)、D: 反転状態 ($V_G \gg 0$)。

2.1.1 蓄積領域

シリコン基板をアースに落とした状態で、ゲート電極に負の電圧をかけた場合、ゲート酸化膜 直下の正孔がゲート電極に誘起された負電荷によって引き寄せられる(図3B参照)。これらの 余剰キャリアの存在する領域は、酸化膜厚よりもずっと小さいことから、MOSキャパシタは平 行平板の電気容量とみなすことができる。このときの単位面積当たりの電気容量 C_{acc} は、酸化 膜を介した電気容量 C_{ox} で近似することができて、

$$C_{acc} \approx C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}} \tag{1}$$

で与えられる。ここで、 ε_{ox} は酸化膜の誘電率 ($\approx 3.9 \cdot \varepsilon_0$)、 t_{ox} は酸化膜厚である。

以下では、この状況をポアソン方程式を用いてもう少し詳細に見てみよう。

酸化膜界面を原点にして、ゲート面に垂直で基板の深さ方向をx方向を取ったとする。ポア ソン方程式の境界条件として、界面でのポテンシャルは表面ポテンシャル Φ_s に等しく、シリコ ン基板のかなり深いところで $\Phi = 0$ とする。このとき、ポアソン方程式は、以下のように与え られる。

$$\frac{d^2 \Phi(x)}{dx^2} = -\frac{q}{\varepsilon_{Si}} \left\{ p(x) - n(x) + N_d^+ - N_a^- \right\}$$
(2)

ここで、 $\Phi(x)$ は位置 xにおける静電ポテンシャル、p(x) とn(x)は正孔および電子密度を表す。 また、 N_d^+ と N_a^- はイオン化したドナー不純物密度とアクセプター不純物密度を表す。 ε_{Si} はシリコンの誘電率 ($\approx 12 \cdot \varepsilon_0$)を表す。

p型のシリコン基板を想定していることから、一般に、 $n \ll p, N_d^+ \ll N_a^-$ である。従って、 ポアソン方程式は、以下のように近似することができる。

$$\frac{d^2\Phi(x)}{dx^2} \approx -\frac{qN_a^-}{\varepsilon_{Si}}e^{-\frac{q\Phi(x)}{kT}}$$
(3)

ここで、k はボルツマン定数、T はシリコン基板の温度である。また、ゲート電圧 V_G が十分に 大きくて、界面での正孔密度が基板のアクセプター密度よりも大きい ($p \gg N_a^-$) ことを仮定し た。また、キャリア密度は古典統計に従うとして、

$$p(x) = p_{p0}e^{-\frac{q\Phi(x)}{kT}} \approx N_a^- e^{-\frac{q\Phi(x)}{kT}}$$
(4)

および

$$n(x) = n_{p0} e^{-\frac{q\Phi(x)}{kT}} \approx \frac{N_a^-}{n_i^2} e^{\frac{q\Phi(x)}{kT}}$$
(5)

を用いた。

ポアソン方程式の両辺に $d\Phi(x)/dx$ をかけて積分すれば、E(x) を電場として、

$$E(x) = \frac{\sqrt{2}}{L_D} \left(\frac{kT}{q}\right) \left(e^{-\frac{q\Phi(x)}{kT}} - 1\right)^{1/2} \tag{6}$$

と求まる。ここで、デバイ長 L_D は

$$L_D = \left(\frac{\varepsilon_{Si}kT}{q^2 N_a^-}\right)^{1/2}$$

で定義され、キャリア(正孔)によって電場を遮蔽するのに必要な長さを与える。さらに、与えられた境界条件の下で上式を積分すれば、基板内での静電ポテンシャル $\Phi(x)$ は

$$\Phi(x) = \frac{2kT}{q} \log\left(\frac{x_{acc} - x}{\sqrt{2}L_D}\right) \tag{7}$$

と求まる。ここで、シリコン基板内での蓄積層の厚さ xacc は

$$x_{acc} = \sqrt{2}L_D \cos^{-1}\left\{\exp\left(\frac{q\Phi_s}{2kT}\right)\right\}$$
(8)

で与えられる。今の場合、 $\Phi_s < 0$ であることに注意せよ。

表面電場 E(0) を用いれば、ガウスの定理より、基板に誘起される蓄積電荷 Q_{acc} は

$$Q_{acc} = \varepsilon_{Si} E(0) = \varepsilon_{Si} \frac{\sqrt{2}}{L_D} \left(\frac{kT}{q}\right) \left(e^{-\frac{q\Phi_s}{kT}} - 1\right)^{1/2}$$
(9)

で与えられる。ゲート電圧 VG と酸化膜での電圧降下 Vox を用いれば、

$$V_G = \Phi_s + V_{ox} = \Phi_s - \frac{Q_{acc}}{C_{ox}} = \Phi_s - \frac{\varepsilon_{Si}}{C_{ox}} \frac{\sqrt{2}}{L_D} \left(\frac{kT}{q}\right) \left(e^{-\frac{q\Phi_s}{kT}} - 1\right)^{1/2}$$
(10)

となるから、蓄積領域における正確な電気容量 Cacc は

$$C_{acc} = \frac{dQ_{acc}}{dV_G} = \frac{1}{\frac{1}{C_{ox}} + \frac{1}{C_b}}$$
(11)

で与えられることがわかる。ここで、ゲート酸化膜近傍に正孔電荷が有限幅(つまり、 x_{acc})で 蓄積することによる電気容量 C_h を

$$C_h = \frac{dQ_{acc}}{d\Phi_s} \tag{12}$$

で定義した。一般に、 x_{acc} は酸化膜厚に比べて十分に小さいから、冒頭で述べたように、良い近 似で $C_{acc} \approx C_{ox}$ となる。

2.1.2 空乏領域

次に、正のゲート電圧をかけたとすると、ゲートに誘起される正電荷に反発して、基板内の正 孔はゲート酸化膜から遠ざかる。その結果、基板にドープされているアクセプター不純物の電荷 密度が正孔の電荷密度よりも大きくなって、ゲート電極に誘起される正電荷とつり合うようにな る。つまり、アクセプター不純物の電荷とゲート電極に誘起される正の電荷が電気力線でつなが る。この時、ゲート電極と基板内に電場が生じて、真性レベル(或いは伝導帯のバンド端)が曲 がり、表面ポテンシャル Φ_sの値が正となる。ゲート電圧の大きさをさらに大きくすれば、ゲー ト電極に誘起される正電荷と電気力線でつながるために、基板の深いところまでアクセプター不 純物の電荷が遮蔽から逃れて見えるようになり、バンド端の基板内での曲がりが大きくなる(図 3C 参照)。

空乏領域では、キャリア密度はアクセプター密度よりも十分に小さいと近似できるから、ポア ソン方程式は

$$\frac{d^2 \Phi(x)}{dx^2} \simeq \frac{q N_a^-}{\varepsilon_{Si}} \tag{13}$$

のように簡単になる。これを空乏近似という。 $\Phi(0) = \Phi_s$, $\Phi(x_d) = 0$, $\frac{d\Phi(x_d)}{dx} = 0$ の境界条件 の下でこれを解いて、ポテンシャル $\Phi(x)$ は

$$\Phi(x) = \frac{qN_a^-}{2\varepsilon_{Si}} (x - x_d)^2 \tag{14}$$

となる。ここで、表面ポテンシャルが Φ_s のときの空乏層の幅 x_d は

$$x_d = \sqrt{\frac{2\varepsilon_{Si}\Phi_s}{qN_a^-}} \tag{15}$$

で与えられる。基板が空乏化することによって生じる空乏電荷 Q_dは、

$$Q_d = -qN_a^- x_d = -\sqrt{2q\varepsilon_{Si}N_a^- \Phi_s} \tag{16}$$

で与えられる。ゲート電圧 VG は、酸化膜での電圧変化 Vox を用いれば、

$$V_G = \Phi_s + V_{ox} = \Phi_s - \frac{Q_d}{C_{ox}} \tag{17}$$

となる。従って、空乏領域における電気容量 C_{dep} は

$$C_{dep} = -\frac{dQ_d}{dV_G} = \frac{1}{\frac{1}{C_{ox}} + \frac{1}{C_D}}$$
(18)

で与えられることがわかる。ここで、空乏領域の広がりに伴った電気容量 C_D は

$$C_D = -\frac{dQ_d}{d\Phi_s} = \frac{\varepsilon_{Si}}{x_d} \tag{19}$$

で与えられる。

2.1.3 反転領域

ゲート電圧をさらに大きくしていくと、酸化膜界面での伝導帯のバンド端がフェルミ・エネル ギーに近付いて、そこでの電子密度が基板深いところでの正孔密度と同程度になる。このとき、 Φ_F をフェルミ・ポテンシャルとすれば、表面ポテンシャルは $\Phi_s = 2\Phi_F$ となる。この状態を強 反転状態という(図 3D 参照)。このときの空乏層の広がりは、 $\Phi_s = 2\Phi_F$ のときの空乏層の幅

$$x_{d\max} = \sqrt{\frac{4\varepsilon_{Si}\Phi_F}{qN_a^-}} \tag{20}$$

で与えられ、さらにゲート電圧を加えても(高周波のACをかけた場合を除いて)殆ど変化しな くなる。これは、ゲート電極の正電荷から出た電気力線が、熱的に励起された酸化膜直下の電子 によって終端するためである。

十分に反転した状態(つまり、反転電子密度がアクセプター密度よりも十分に大きい場合)では、蓄積領域の場合と同様に、ゲート酸化膜を挟んでほぼ同密度の電荷が存在することになることから、このときの電気容量 *C*_{inv} は近似的に

$$C_{inv} \approx C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}} \tag{21}$$

で与えられることになる。

2.2 MOS キャパシタの CV 特性とフラットバンド電圧

これまでのそれぞれの領域における電気容量の計算結果から、MOS キャパシタの容量カーブ (CV 特性)は図4のように表されることがわかる。つまり、準DC バイアスに低周波AC をの せて電気容量を測定した場合は、キャリアの熱的な励起もAC バイアスの変動に十分に追随で きることから、蓄積層と反転層での電気容量は、ほぼ酸化膜を介した電気容量 C_{ox} で与えられ る。一方、周波数を徐々に上げていけば、 $V_G \gg 0$ での熱励起によるキャリアの生成が追従する ことができず、空乏層幅は x_{dmax} よりも大きく広がる。一方、キャリアの運動はサブ ps の時間



図 4: MOS キャパシタの容量カーブ (CV 特性)。準DC バイアスに高周波 AC および低周波 AC をかけた場合を示す。

スケールであるから、かなりの高周波 AC のバイアス変動にも追従することができる。

これまでの議論では、ゲート電圧 V_G がゼロの場合は、表面ポテンシャルも $\Phi_s = 0$ であり、 ゲート電極とシリコン基板のフェルミ・エネルギーが一致していることを前提としてきた(図 3A 参照)。しかしながら、実際には、ゲート電極に用いる材料によって仕事関数は異なるし、酸 化膜中や酸化膜/シリコン界面に存在するトラップに束縛されて余剰固定電荷が存在したりする。 その結果、 $V_G = 0$ においてバンドがフラットになるとは限らない。そこで、バンドをフラット にするのに必要なゲート電圧を、フラットバンド電圧 V_{FB} という。このとき、ゲート電圧 V_G と 表面ポテンシャル Φ_s は、以下のような関係になる。

$$V_G = V_{FB} + \Phi_s + V_{ox} = V_{FB} + \Phi_s - \frac{Q_{Si}}{C_{ox}}$$

$$\tag{22}$$

従って、実験(あるいはシミュレーション)から CV 特性が評価できれば、フラットバンド電圧 V_{FB} 、あるいは酸化膜に存在する固定電荷密度 Q_{ox} を見積もることができる。

2.3 MOSFET の基本構造と動作

MOSFETには、チャネルを走行して電流に寄与するキャリアによって、n チャネル MOSFET と p チャネル MOSFETに大別される。n チャネル MOSFETの電流の担い手は電子であり、p チャネル MOSFETにおけるそれは正孔である。n チャネル MOSFETでの基板にはアクセプタ-不純物をドープした p 型基板を用い、p チャネル MOSFETでの基板にはドナー不純物をドープ した n 型基板を用いる。これらの 2 種類の MOSFETをウェル構造を用いて同一の基板で結合 させたものを CMOS(complementary MOS)と呼ぶ。現在のシリコンをベースにした MOSFET の隆盛は、この CMOSの発明によるところが大きい (その理由を各自、考察してみよ)。

以下、本稿では nMOSFET を中心に解説する。

2.3.1 n-MOSFET の基本動作

nMOSFET の基本構造を図 5 に示す。p 型基板のうえに拡散層と呼ばれるドナー不純物を高 密度 ($\approx 10^{20}$ cm⁻³) にドープしたソースおよびドレイン領域をイオン打ち込みによって作成す る。ゲート電極の下には薄い絶縁膜(通常は SiO₂ 酸化膜)を基板との間に挟み、基板とゲート 電極を絶縁する。現在の最先端 MOSFET においても、絶縁膜を高誘電率の絶縁体に置き換えた り、基板のアクセプター不純物濃度をゲート近傍で高濃度化したりするなどの変遷があるもの の、デバイスの基本構造は、MOSFET の発明以来、ほとんど変わっていない。



図 5: n チャネル MOSFET の基本構造チャネルに沿った方向を y、深さ方向を x、幅方向を z方向とする。ゲート長を L、深さを d、幅を W とする。

nMOSFET の基本動作は以下のとおりである。

まず、ソースおよび基板 (バックゲート) バイアスをともにゼロとする。つまり、 $V_S = V_{sub} = 0$ とする。そのうえで、ドレインに正の電圧 V_D (> 0) をかけたとする。このとき、基板とソースには電圧差が無いので、ソース端での電流はゼロである。一方、ドレイン側では、基板とドレインとの接合部分に逆バイアスがかかった状態になる。その結果、ドレイン端子にも電流は流れない。

この状態から、ゲートに正の電圧 V_G (> 0) を徐々にかけていく。すると、ゲート直下の基板 に電子が引き付けられてくる。この電子の供給源は、ゲートの両側に位置しているソースおよ びドレインである。基板から熱励起によって電子が供給されるわけではないことに注意せよ。つ まり、MOSFET では、ゲート電圧 V_G によってチャネルの電界形状を制御し、ドレイン電流 I_D を駆動していることから、電界効果トランジスタ (Field Effect Transistor: FET) と呼ばれる。 ゲート直下に電流源となるチャネル領域が形成されるときのゲート電圧をしきい値電圧 V_{th} と呼び、デバイス動作を制御する基本パラメータの一つである。

2.4 MOSFET 特性の基本公式

2.4.1 n-MOSFET のドレイン電流

ここでは、nMOSFETのドレイン電流に関する最も基本的な公式を導出しよう。

図 5 の座標系のもと、ソース/チャネル接合を y = 0 として、位置 $y \ge y + dy$ の間の微小長さ dy での電圧変化を dV(y) とする。チャネルに流れる定常電流を I_D として、オームの法則を用 いれば、

$$dV(y) = I_D dR(y) \tag{23}$$

と書ける。ここで、dR(y)は微小長さ dy での抵抗を表す。電気伝導度を σ 、素電荷を q、電子の移動度を μ_n 、電子の平均密度を \bar{n} とすれば、 $\sigma = q\bar{n}\mu_n$ であるから、抵抗率 ρ は

$$\rho = \frac{1}{\sigma} = \frac{1}{q\bar{n}\mu_n} \tag{24}$$

となる。デバイス幅を W、デバイス深さを d とすれば、

$$dR(y) = \rho \frac{dy}{d \cdot W} = \frac{dy}{q\mu_n W d \cdot \bar{n}}$$
(25)

と書ける。デバイス幅方向(z方向)に対してデバイスが一様であると仮定すれば、位置yにおける平均電子密度nは、深さ方向(x方向)で平均して、以下のように表される。

$$\bar{n} = \frac{1}{d} \int_0^d dx \ n(x, y)$$

従って、ゲートと平行な面に対しての電荷面密度を $Q_n(y)$ とすれば、 $Q_n(y) = q\bar{n}d$ と表される から、dy に対しての抵抗 dR(y) は

$$dR(y) = \frac{dy}{\mu_n W Q_n(y)} \tag{26}$$

と書ける。

ここで、ゲート/酸化膜/シリコン基板を平行平板のコンデンサーとみなせば、電荷面密度 $Q_n(y)$ は、

$$Q_n(y) = C_{ox} \left(V_G - V_{th} - V(y) \right)$$
(27)

と表せる。ここで、 $C_{ox} = \varepsilon_{ox}/t_{ox}$ は酸化膜の(単位面積当たりの)電気容量である。ソースおよびドレインでの電圧は、それぞれV(0) = 0および $V(L) = V_D$ であることに留意せよ。式(26) に代入して、以下の式を得る。

$$I_D dy = \mu_n W C_{ox} \left(V_G - V_{th} - V(y) \right) dV(y)$$
⁽²⁸⁾

さらに、チャネルの抵抗 y 方向の dR を単純に和を取ることで与えられると仮定すれば、チャネ ル方向で積分して、ドレイン電流に対する以下の良く知られた式を得る。

$$I_D = \mu_n C_{ox} \frac{W}{L} \left\{ (V_G - V_{th}) V_D - \frac{V_D^2}{2} \right\}$$
 (linear regime) (29)

上の公式は、チャネル領域にオームの法則を適用することで導出した。従って、チャネルが、 ソースとドレインにわたって形成されている線形領域のもとでのみ成立する公式である(図6参 照)。これを3極菅特性領域と呼ぶこともある。



図 6: 線形領域で動作している状態の n チャネル MOSFET の断面図。

一方、もしドレイン電圧 V_D がゲート電圧 V_G にかけられている実質的な電圧に等しくなった 場合(つまり、 $V_D = V_G - V_{th}$)は、ドレインとゲートが同電位となり、ドレイン近傍のチャネ ルに電子が供給されなくなる。さらにドレイン電圧 V_D を上げていけば、 $V(y) = V_G - V_{th}$ と なった位置で、電子面密度は $Q_n(y) \approx 0$ となり、チャネルが位置 y で消失することとなる。実 際、式 (27) から、 $V(y) = V_G - V_{th}$ で $Q_n(y) = 0$ となることがわかる。この位置をピンチオフ 点といい、ピンチオフした位置からドレインまでの距離をピンチオフ長という。長チャネルの MOSFET では、このピンチオフ長は、ドレイン電圧が高い状態においても、ゲート長に比べて 無視できるほど小さい。¹

以上より、ドレイン電圧 V_D が $V_D \ge V_G - V_{th}$ の領域では、チャネルが途中で消失することから、ドレイン電流 I_D は一定となり、

$$I_D = \mu_n C_{ox} \frac{W}{L} \frac{(V_G - V_{th})^2}{2} \qquad (\text{saturation regime}) \tag{30}$$

で与えられる (図7参照)。これを飽和領域でのドレイン飽和電流といい、ゲート電圧 V_G のみの 関数になる (ドレイン電圧 V_D に依存しない)。ドレイン電流 I_D が飽和するときのドレイン電圧 をドレイン飽和電圧といい、

$$V_{Dsat} = V_G - V_{th} \tag{31}$$

で与えられる。

¹ピンチオフ長で大きな電圧降下(*V_D* – *V_{Dsat}*)が生じることから、この領域では大きな電界が生じる。この電界 により高エネルギー状態になった電子をホットキャリアと呼び、シリコン基板と酸化膜との間の高いポテンシャル障 壁を越えて、ゲート酸化膜に注入され、デバイス劣化の大きな原因となる。



図 7: 飽和領域で動作している状態の n チャネル MOSFET の断面図。ドレイン近傍でチャネル がピンチオフしている。

2.4.2 n-MOSFET の伝達特性

デバイスの性能を表す指標として、伝達特性(相互コンダクタンス)*g_m*と呼ばれるものがある。これは、ゲート電圧によるドレイン電流の駆動感度を表すものであり、

$$g_m = \left(\frac{\partial I_D}{\partial V_G}\right)_{V_D} \tag{32}$$

で定義される。線形領域でのドレイン電流の公式 (29)を用いれば、相互コンダクタンス gm は

$$g_m = \left(\frac{\partial I_D}{\partial V_G}\right)_{V_D} = \mu_n C_{ox} \frac{W}{L} V_D \tag{33}$$

で与えられる。チャネルでのドレイン電圧 V_D に対する実効的な電界強度を $E \approx V_D/L$ とみなせば、線形領域での相互コンダクタンス g_m とチャネルにおける平均的な電子のドリフト速度 $\langle v_d \rangle$ とは、

$$\frac{g_m}{WC_{ox}} = \mu_n \frac{V_D}{L} \approx \mu_n E = \langle v_d \rangle \tag{34}$$

のような関係があることがわかる。

また、飽和領域でのドレイン電流の公式 (30) を用いれば、相互コンダクタンス g_m は

$$g_m = \left(\frac{\partial I_D}{\partial V_G}\right)_{V_D} = \mu_n C_{ox} \frac{W}{L} (V_G - V_{th})$$
(35)

で与えられる。

3. ドリフト拡散法

3 ドリフト拡散法

半導体デバイスの電気特性を決めているのは、半導体中のキャリア(電子および正孔)の輸送 と基盤内の(静電)ポテンシャル分布である。そして、ポテンシャル分布を決める基本方程式が ポアソン方程式であり、キャリアの輸送現象を規定している基本方程式がボルツマン輸送方程式 (Boltzmann Transport Equation: BTE)と呼ばれるものである。ボルツマン輸送方程式は、古 典的リュービル方程式(ニュートン方程式と等価で可逆な方程式)から、時間反転の対称性を破 るさまざまな近似のもとで導出することができる。しかしながら、ボルツマン輸送方程式自体 が複雑な偏微分積分方程式であり、ごく単純な場合を除いては、解析的に解くことができない。 その結果、例えば、モンテカルロ法と呼ばれる方法で、コンピュータを用いて数値解析する必要 性が出てくる。

一方、ボルツマン輸送方程式における1次モーメントの輸送方程式(バランス方程式)が、いわゆるキャリアを流体とみなした流体方程式であり、本講義で用いるドリフト拡散法の基本方程式のひとつとなるものである。本章では、ドリフト拡散法で用いられるこの基本方程式(デバイス方程式)について、簡単に紹介する。

3.1 基本方程式

ドリフト拡散法の基本方程式は、キャリア輸送を規定する一次モーメントの輸送方程式とデバ イス内でのポテンシャル形状を規定するポアソン方程式から成る。

1次元のもとでのポアソン方程式は、

$$\frac{d^2\Phi(x,t)}{dx^2} = -\frac{q}{\varepsilon_0} \left[p(x,t) - n(x,t) + N_d^+(x) - N_a^-(x) \right]$$
(36)

と書ける。ここで、 $\Phi(x,t)$ は位置 x、時間 t における静電ポテンシャル、p(x,t)とn(x,t)は正 孔および電子密度を表す。また、 $N_d^+(x,t)$ と $N_a^-(x,t)$ はイオン化したドナー不純物密度とアク セプター不純物密度を表す。

キャリア(電子および正孔)の輸送方程式としては、ボルツマン輸送方程式に対して一次モー メントを取った電流連続式を用いる。具体的には、正孔および電子の電流連続式は

$$\frac{\partial p(x,t)}{\partial t} = -\frac{1}{q} \frac{\partial J_p(x,t)}{\partial x} + G_p(x,t) - R_p(x,t)$$
(37)

$$\frac{\partial n(x,t)}{\partial t} = \frac{1}{q} \frac{\partial J_n(x,t)}{\partial x} + G_n(x,t) - R_n(x,t)$$
(38)

で与えられる。ここで、 $J_p(x,t) \ge J_n(x,t)$ は、正孔および電子の電流密度である。また、 $G(x,t) \ge R(x,t)$ は単位体積・単位時間当たりのキャリアの生成および再結合率である。正孔および電子の電流密度は、バランス方程式を緩和時間 τ について摂動展開をしたときの第一近似として、ドリフト電流と拡散電流の和から成ることがわかる:

$$J_p(x,t) = -qp(x,t)\mu_p \frac{\partial \Phi(x,t)}{\partial x} - qD_p \frac{\partial p(x,t)}{\partial x}$$
(39)

$$J_n(x,t) = -qn(x,t)\mu_n \frac{\partial \Phi(x,t)}{\partial x} + qD_n \frac{\partial n(x,t)}{\partial x}$$
(40)

ここで、 μ_p, μ_n は正孔および電子の移動度、 D_p, D_n は正孔および電子の拡散定数である。アインシュタインの関係式を用いれば、移動度と拡散定数は

$$\mu_p = \frac{q}{kT} D_p, \quad \mu_n = \frac{q}{kT} D_n \tag{41}$$

で関係づけられる(これを揺動散逸定理と言う)。

本来、移動度 μ とキャリアの生成率 G(x,t) および再結合率 R(x,t) は、対象とする半導体材料 固有のパラメータである。しかしながら、半導体デバイスが動作する状態においては、バイアス の値(つまり、基盤内での電場の強さ等)によって、さまざまな値を持つことになる。そこで、 さまざまな状況での移動度や生成再結合過程を正しく反映するように、後述するような物理モデ ルが考案されている(拡散定数 D については、上述のアインシュタインの関係式を用いて、移 動度 μ から求められる)。

ドリフト拡散法における基本方程式(36)-(38)は、正孔および電子の数密度と静電ポテンシャル

 $p(x,t), \quad n(x,t), \quad \Phi(x,t)$

を未知関数とした偏微分方程式の組になっている。これらの方程式を離散化して、数値シミュ レーションすることになる。

3.2 擬フェルミ・ポテンシャル

正孔および電子に対する擬フェルミ・ポテンシャルを、

$$\phi_p(x,t) = \Phi(x,t) + \frac{kT}{q} \ln \frac{p(x,t)}{n_i}$$
(42)

$$\phi_n(x,t) = \Phi(x,t) - \frac{kT}{q} \ln \frac{n(x,t)}{n_i}$$
(43)

で定義すると、正孔および電子に対する電流密度の式は、

$$J_p(x,t) = -qp(x,t)\mu_p \frac{\partial \phi_p(x,t)}{\partial x}$$
(44)

$$J_n(x,t) = -qn(x,t)\mu_n \frac{\partial \phi_n(x,t)}{\partial x}$$
(45)

のように表すことができる。ここで、 n_i は真性キャリア密度であり、Siの場合は、室温で約 1×10^{10} cm⁻³ である。上式より、ドリフト電流と拡散電流を擬フェルミ・ポテンシャルのみでまとめて 記述することができる。これは、正孔および電子電流が擬フェルミ・ポテンシャルの勾配によっ て駆動される、と解釈できる。そこで、正孔および電子の数密度ではなく、正孔および電子に対 する擬フェルミ・ポテンシャルと静電ポテンシャル

 $\phi_p(x,t), \quad \phi_n(x,t), \quad \Phi(x,t)$

を未知関数として、ドリフト拡散方程式を解く場合もある。

擬フェルミ・ポテンシャルの考え方は、非平衡状態での(電子デバイスに限らない)半導体デ バイスでのキャリア輸送を考えるうえで、非常に重要である。例えば、電流が流れていない平衡 状態 *J_p* = *J_n* = 0 では、正孔および電子に対する擬フェルミ・ポテンシャルは

$$\phi_p = \phi_n = \text{const.}$$

となり、通常のフェルミ・ポテンシャル(或いは、厳密には正しくないがフェルミ・エネルギー) に一致する。

$$\phi_p = \phi_n = \Phi_f = -\frac{E_f}{q} \tag{46}$$

一方、非平衡状態においては、準平衡状態にあるコンタクト領域を除いて、正孔および電子の擬 フェルミ・ポテンシャルは一致しない。このとき、キャリアの局所的な数密度は

$$n(x,t)p(x,t) = n_i^2 \exp\left\{\frac{q}{kT} \left[\phi_p(x,t) - \phi_n(x,t)\right]\right\}$$
(47)

で与えられる。 $\phi_p(x,t) > \phi_n(x,t)$ であれば、その領域ではキャリア密度が n_i^2 よりも大きくなることから、過剰キャリア領域になっている。その結果、再結合等のキャリアの消滅過程が重要になる。一方、 $\phi_p(x,t) < \phi_n(x,t)$ であれば、その領域ではキャリアが欠乏していることを意味し、キャリアの生成過程が重要となる。

pn 接合のようなダイオード構造に対して、擬フェルミ・ポテンシャルの考え方を応用した場合、 $\phi_p(x,t) > \phi_n(x,t)$ は順バイアス状態、 $\phi_p(x,t) < \phi_n(x,t)$ は逆バイアス状態に対応することが容易にわかる。また、*L* をダイオードの長さとすれば、ダイオード両端のコンタクト領域での擬フェルミ・ポテンシャルの差

$$\phi_p(0) - \phi_n(L) = V_{app}$$

が、ダイオードにかかる印加電圧 Vapp に対応することになる。

3.3 ドリフト拡散法のアルゴリズム

定常状態のもとでのドリフト拡散法の簡略化したアルゴリズムは、以下のようになる。

- (1) デバイス構造とモデルパラメータの確定
- (2) デバイス内部の変数 ($\Phi(x,t), p(x,t), n(x,t)$)の初期設定
- (3) 平衡状態 (*V_{app}* = 0) における計算の実行
- (4) 以下の計算を適当な精度のもとで、最終の印加電圧 ($V_{app} = V_{final}$)まで ΔV ごと に繰り返す
 - (i) ポアソン方程式を解く
 - (ii) 電子に対する電流連続方程式を解く
 - (iii) 正孔に対する電流連続方程式を解く
 - (iv) 電圧を上げる: $V_{app} + \Delta V \rightarrow V_{app}$
- (5) 計算結果の出力

ここで、(4) における3つのデバイス基本方程式は、それぞれが変数に対して強い非線形性を もつことから、方程式を線形化したうえで、陰解法を用いて解くのが一般的である。方程式の線 形化や差分化の詳細については、付録で簡単に解説する。

3.4 ドリフト拡散法における物理モデル

ここでは、ドリフト拡散シミュレータに含まれる移動度および生成再結合過程に対する代表的 な物理モデルを紹介する。最先端デバイスにキャリブレートされたドリフト拡散シミュレータに 実際に導入されている物理モデルは、ここで紹介する物理モデルよりもはるかに複雑で高度化さ れている。本講義に付随して行う実習では、最先端デバイス用に高度化された物理モデルを用い て、デバイス特性評価を実際に行う。

3. ドリフト拡散法

	μ_p	μ_n
$N_0~({ m cm}^3)$	$6.3 imes10^{16}$	8.5×10^{16}
α	0.76	0.72
$\mu_{ m max}~(m cm^2/V~sec)$	495	1330
$\mu_{ m min}~(m cm^2/V~sec)$	47.7	65
$E_0~({ m V/cm})$	$1.95~ imes~10^4$	$8.0 imes 10^3$
β	1	2

表 1: Si における移動度モデルのパラメーター

3.4.1 移動度モデル

ドリフト拡散シミュレータにおいて、半導体デバイスのキャリア輸送現象を記述しているの は、キャリアの移動度モデルである。線形応答の範囲では、正孔および電子の移動度は、それぞ れのドリフト速度 v_p および v_n を用いて、

$$v_p = \mu_p E, \quad v_n = \mu_n E$$

で与えられる。つまり、移動度は半導体材料固有の定数である。しかし、デバイス動作のような 非線形な領域にまで移動度の定義を拡張すると、移動度は非常に複雑な電界等の依存性をもつ こととなる。これは、フォノン散乱、不純物散乱、表面ラフネス散乱等によって移動度が決定さ れるからであり、このような散乱過程は、電界に対して強い非線形依存性をもつ。バルク形状か つ室温程度での最も支配的な散乱機構はフォノン散乱であり、Siでの電子移動度(バルク移動 度と言う)は約1400 cm²/V sec にも達する。しかしながら、不純物をドープした MOSFET 構 造のような場合では、不純物散乱や表面ラフネス散乱の寄与が大きくなり、Si での電子移動度 は400 cm²/V sec 程度にまで劣化している。このような不純物濃度や表面ラフネス等の影響を 考慮しながら、正孔や電子に対する正しい移動度を再現する物理モデルの構築が、デバイスの微 細化とともに、重要かつ必須になってきている。

ここでは、Si に対してよく用いられる最も単純な移動度モデルを紹介しよう。局所的な不純物濃度を N、電界を E として、正孔および電子の移動度 µ は、

$$\mu = \left[\frac{\mu_{\max} - \mu_{\min}}{1 + \left(\frac{N}{N_0}\right)^{\alpha}} + \mu_{\min}\right] \frac{1}{\left[1 + \left(\frac{E}{E_0}\right)^{\beta}\right]^{1/\beta}}$$
(48)

のようにモデル化できることが知られている。式 (48) に含まれる Si に対するさまざまなパラ メータの値を表 1 にまとめておく。

3.4.2 生成再結合モデル: Shockley-Read-Hall (SRH) model

キャリアの生成再結合過程として最も基本的なものが Shockley-Read-Hall(SRH) モデルと呼 ばれるものである。これは、半導体のバンドギャップ中に存在するエネルギー準位にキャリアが 捕獲、あるいはエネルギー準位から励起してキャリア数を変動させる過程である。バンドギャッ プ中に存在するエネルギー準位は、欠陥や不純物等により生じる。詳細は、半導体デバイスの教 科書(例えば Sze の教科書「Semiconductor Devices:Physics and Technology」p. 49)を参考に せよ。 結果のみを記すと、非平衡かつ定常状態における単位時間、単位体積当たりの生成再結合率 U(x)は、

$$U(x) = U_p(x) = U_n(x) = -\frac{p(x)n(x) - n_i^2}{\tau_p \left[n(x) + n_t(x)\right] + \tau_n \left[p(x) + p_t(x)\right]}$$
(49)

で与えられる。ここで、 $p_t(x), n_t(x)$ はトラップ準位にフェルミ準位があったときの正孔および 電子の数密度、 τ_p, τ_n は正孔および電子の捕獲されて消滅するまでの平均寿命を表す。キャリア の数密度 p(x)n(x)が真性キャリア密度の二乗 n_i^2 よりも大きいときはU(x)は負となり、キャリ アの捕獲再結合を表す。また逆のときは、キャリアの生成過程を表すことになる。正孔および電 子の捕獲されて消滅するまでの平均寿命が等しいときには、生成再結合率U(x)は、トラップ準 位が真性エネルギー準位に等しい($E_t = E_i$)ときに最大になる。つまり、Shockley-Read-Hall モデルでは、トラップ準位がミッドギャップにある場合は正孔および電子の生成再結合中心とし て働き、トラップ準位が浅い場合はただの捕獲中心として働くことを意味する。

ドリフト拡散方程式では、式 (37)、(38) における生成再結合項 G(x) - R(x) を、式 (49) の U(x) で置き代えて使用する。

3.4.3 オージェ再結合モデル

キャリアの再結合過程として重要なもののひとつに、オージェ再結合過程がある。これは、ト ラップ準位を経ずに電子正孔の再結合が起こる過程である。電子と正孔が再結合したときに生 じる、バンドギャップに相当するエネルギーがキャリアに与えられることから、高エネルギー・ キャリアが生成される。単位時間、単位体積におけるオージェ再結合率 U_{aug} は、以下のように モデル化される場合が多い。

$$U_{\text{aug}}(x) = U_p(x) = U_n(x) = -r\{n(x)^2 p(x) + p(x)^2 n(x)\}$$
(50)

ここで、Siにおいては $r = 2 \times 10^{-31} \text{ cm}^6/\text{s}$ 程度である。上式からも明らかなように、オージェ 再結合過程ではキャリア密度が大きいときに最も顕著であり、キャリア数が多いパワーデバイス において特に重要になる。

3.4.4 衝突イオン化モデル

電界が非常に強くて衝突イオン化過程が無視できない状況に於いては、Shockley-Read-Hall モ デルに加えて、衝突イオン化過程を生成項として考慮する必要がある。衝突イオン化過程は、高 エネルギー化した電子(正孔)が束縛状態にある充満帯の電子(正孔)を価電子帯に励起し、正 孔と電子(電子と正孔)を生成する過程である。電場が十分に大きい場合は、衝突イオン化に よって新たにキャリアが生成され、その生成されたキャリアがさらに衝突イオン化によって新た なキャリアを生成する、といった過程が連続的に起こる(これを avalanche 過程と呼ぶ)。その 結果、キャリア数が急激に増大し、半導体デバイスの破壊に繋がる。ドリフト拡散法における衝 突イオン化過程の物理モデル化は、デバイスの信頼性に直接関わることから、パワーデバイスに おいて特に重要な研究課題の一つである。

最も単純で原始的なモデルが、局所電界モデルと呼ばれるものである。正孔と電子に対するイオン化係数(単位長さ当たりの衝突イオン化を起こす数)を α_p, α_n とすれば、単位時間、単位体積当たりのキャリア生成率G(x, t)は、

$$G(x,t) = G_p = G_n = \frac{1}{q} \left[\alpha_n |J_n| + \alpha_p |J_p| \right]$$
(51)

		A (1/cm)	b (V/cm)	m
電	子	$3.80 imes10^{6}$	$1.75~ imes~10^{6}$	1
正	孔	2.25×10^7	$3.26~ imes~10^{6}$	1

表 2: Si における衝突イオン化パラメーター

と表される。局所電界モデルでのイオン化係数 α_p, α_n は、

$$\alpha_p \text{ or } \alpha_n = A \exp\left[-\frac{b}{\left|E(x,t)\right|^m}\right]$$
(52)

で与えられる。ここで、E(x,t)は局所的な電界強度である。Si に対してのパラメータA, bの値を表 2 に与える。

この局所イオン化モデルは、現在でも最も幅広く用いられているが、局所平衡状態を仮定して いることから、電界の変化が急峻で非局所効果が重要となる最先端デバイス構造では、イオン化 率を大きめに過大評価するので注意が必要である。

4 シミュレーション実習の課題

デバイス・シミュレータを用いて、Si-MOSFETをベースにしたさまざまな構造プロファイル やデバイス構造を各自が設定し、それぞれのデバイス基本特性をシミュレーションする。その 際、デバイス・シミュレータに含まれる物理モデルを正しく理解したうえで、シミュレーション 結果をデバイス物理の観点から深く解釈する必要がある。半導体デバイス研究者が、実際に、研 究・開発の現場で行っているこのような一連の流れを体験してもらうことが、本講義・実習の大 きな目的のひとつでもある。

4.1 課題1(実習1日目):デバイス・シミュレータを実行してみる

以下で、(Q#)と書かれている設問は実習レポートに回答すること。

1. 入力ファイルを理解する

DevSim というディレクトリに、Si-MOSFET の最も基本的デバイス構造の入力ファイルのサンプル (demoMOSFET.inp)が用意されている。

(Q1) 入力データファイルのサンプル(demoMOSFET.inp)を開いて、ファイルに書か れている命令文を、TAに相談しながら理解したうえで、その内容を簡単に説明せよ。 入力ファイルに書かれているコマンドの詳細な説明も含むデバイス・シミュレータのマ ニュアルは、DevSimのディレクトリの中に用意してあるので、適宜、参考にすること。 Hint:入力データ(demoMOSFET.inp)の構成は、以下のようになっている。

- (1) 構造パラメータの設定:ゲート長 L_g 、酸化膜厚 t_{ox} 等。
- (2) 解析領域の材料と領域の設定:基板の材料と領域、ゲート電極の材料と領域等。
- (3) 不純物プロファイルの設定:基板の材料と領域、ゲート電極の材料と領域等。
- (4) 解析領域のメッシュ設定:基板の材料と領域、ゲート電極の材料と領域等。
- (5) 物理モデル設定:移動度モデルの選択、生成再結合モデル、バイアス設定条件等。
- 2. シミュレータを実行する

サンプルファイル (demoMOSFET.inp)を実際に入力データとして、デバイス・シミュ レータを実行せよ。

実行の仕方は、入力データファイルのサンプルを変更しないで、bat というシェルスクリ プトを

%{DevSim} ./bat

と打って、シミュレータを起動する。

シェルスクリプトには、シミュレータの実行コマンド(dswrap demoMOSFET.inp)と 計算結果をファイルに書き出すコマンド(tee demoMOSFET.log)が記載されている。

シミュレータが正常に動作、終了した場合は、Normal End という文言がスクリーン上に表示される(シミュレーションは数分かかる)。

(Q2) シミュレーション結果の出力ファイル (demoMOSFET.log)を読んで、シミュレーションの内容 (デバイス構造、不純物プロファイル、x, y, z方向のメッシュノード数、

バイアス条件、移動度モデルの内容、しきい値電圧 V_{th} や伝達特性 g_m の値) をおおまか に説明せよ。

シミュレータが正常終了したことを確認したうえで、シミュレーション結果を視覚化す る GUI (Graphic User Interface) である sgplot を

%{DevSim} sgplot

と打って起動せよ。

(Q3) 起動した GUI を用いて、電流電圧 ($I_D - V_G$)特性、シミュレーションに用いた メッシュ、デバイス内での不純物プロファイルをスクリーン上に表示して、シミュレー ション結果やメッシュの切り方の妥当性を説明せよ。電流電圧 ($I_D - V_G$)特性は実習レ ポートに添付すること。

課題1前半の最大の目的は、シミュレータの動作とシミュレーション結果の解釈に慣れることである。そこで、さまざまなバイアス条件のもとでの電子密度分布、正孔密度分布、ポテンシャル分布等をスクリーン上に表示して、それらの結果を物理的に理解できるようにできるだけ努力すること。

特に、ドレイン電圧を $V_D = 0$ V から $V_D = 2$ V まで、0.1 V 刻みで計算することで、電流電圧 ($I_D - V_D$) 特性を求めて、実習レポートに添付せよ。

3. より現実的な不純物プロファイルに変更してシミュレーションする

サンプルファイル (demoMOSFET.inp)を別名 (MOSFETreal.inp)としてコピーせよ。 ファイル名の変更に応じて、シェルスクリプト (bat)の記述も修正せよ。

サンプルファイルの MOSFET 構造では、ソースおよびドレイン拡散層のドナー不純物 プロファイルは、 1×10^{20} cm⁻³ で一様な分布を仮定している。その結果、p型基板との 接合は非現実的なほどに急峻な接合になっている。より現実的には、拡散層の接合部分 のドナー不純物密度は、ガウス分布に近いかたちで減衰している。

(Q4) コピーした入力ファイル (MOSFETreal.inp)のソースおよびドレインの不純物プ ロファイルを、マニュアルを見ながら、ガウス型のより現実的なものに修正せよ。

具体的には、不純物プロファイルはガウス型を仮定し、電極の位置で不純物密度が最大値 1×10^{20} cm⁻³ となるようにし、標準偏差を $\sigma = 10$ nm とせよ (ゲートとソース/ドレイン電極の中間程度まで、この最大値の位置を伸ばす必要があることに注意せよ)。GUI を用いて、正しく不純物プロファイルが設定されていることを確認すること。最終的に完成した入力ファイル (MOSFETreal.inp)を実習レポートに添付せよ。

4. ゲート長を変更してシミュレーションする

(Q5) これまでのシミュレーションでは、ゲート長が $L_G = 200 \text{ nm}$ の MOSFET を対象としてきた。そこで、入力ファイル (MOSFETreal.inp)のデバイス構造の記述部分を変更して、ゲート長を $L_G = 50 \text{ nm}$ のもとでのゲート電圧が $V_G = 1.5 \text{ V}$ の電流電圧 ($I_D - V_D$)特性をシミュレーションで求めよ。

- 4. シミュレーション実習の課題
- 4.2 課題2(実習2-3日目): MOSFETのCV特性と

以下で、(Q#)と書かれている設問は実習レポートに回答すること。

1. MOSFET の CV 特性を求める

(Q6) ドレイン電圧 $V_D = 0.1$ Vのとき、ゲート電極の中心近傍に誘起される表面電荷面 密度 Q_m をゲート電圧 V_G の関数として求めたい。

あるゲート電圧 V_G のもとで、ゲート電極の中心近傍から深さ方向(-z方向)に向かっ て、基板内の電荷密度を積分することで、 Q_m (ただし、符号は反対)を求めることが出 来る。ここで、電荷はキャリア(電子と正孔)とイオン化不純物の全ての電荷を表すこ とに注意すること。

ゲート電圧 $V_G = 1$ V のもとで、基板深さ方向の電荷密度の1次元データを抽出せよ。その1次元データを基板深さ方向で積分して、表面電荷面密度 Q_m を求めよ。

さまざまなゲート電圧 V_G のもとでこの手順を繰り返して、表面電荷面密度 Q_m をゲート 電圧 V_G の関数として、グラフを作成せよ (ゲート電圧は $V_G = -1.0$ から $V_G = 2.0$ V と せよ)。

Hint: 同様の計算を多数回繰り返す必要があることから、1次元データを読み込んで(台 形公式やシンプソン公式等で)積分するプログラムを独自に組んで、計算をしたほうが 良い。

(Q7)(Q6)で求めた $Q_m - V_G$ グラフ (データ)から、ドレイン電圧が $V_D = 0.1$ V のときの実効的ゲート容量とゲート電圧の C - V 特性を求めよ。ここで、実効的ゲート容量 C は、

$$C = \frac{dQ_m}{dV_G}$$

で求められる。*C* – *V* 特性のグラフとともに、実効的ゲート容量 *C* の具体的な計算方法 (プログラムあるいはアルゴリズム)を実習レポートに添付すること。

2. Double-Gate MOSFET は微細化に強い?

ゲート長 $L_G = 200 \text{ nm}$ でソース/ドレイン拡散層を均一不純物プロファイルとしたダブ ルゲート MOSFET 構造の入力ファイル (DoubleGate.inp)の内容を理解せよ。シリコ ン基板の厚さ t_{Si} が 50 nm であることを確認すること。

(Q1) ゲート長を $L_G = 500, 300, 200, 150, 100, 75, 50, 30$ nm として、ドレイン電圧 $V_D = 0.1$ Vのときの $I_D - V_G$ 特性を求めよ。それぞれのゲート長 L_G に対するしきい値 電圧 V_{th} を求め、横軸をゲート長、縦軸をしきい値電圧 V_{th} として、プロットせよ。

(Q2) シリコン基板の厚さを $t_{Si} = 20 \text{ nm}$ として、(Q4) のシミュレーションを繰り返せ。 シリコン基板の厚さが $t_{Si} = 20 \text{ nm}$ と $t_{Si} = 50 \text{ nm}$ で、しきい値電圧 V_{th} が異なる理由 を、ポテンシャル図等を用いて簡単に説明せよ。

(Q3) 移動度モデルの飽和速度が ON であることを確認したうえで、ゲート長を $L_G = 200, 100, 50 \text{ nm}$ として、ゲート電圧 $V_G = 1.0 \text{ V}$ のときの $I_D - V_D$ 特性を求めよ。

次に、移動度モデルの飽和速度を OFF にする。

そのうえで、ゲート長を $L_G = 200, 100, 50 \text{ nm}$ として、ゲート電圧 $V_G = 1.0 \text{ V}$ のとき の $I_D - V_D$ 特性を求めよ。

(Q4 Homework) 飽和速度について、簡単に説明せよ。そのうえで、飽和速度を考慮した場合と、しない場合のうえのシミュレーション結果の違いについて考察せよ。いずれのシミュレーション結果が、実際のデバイス特性を反映すると思うか?

5. 付録

5 付録

ドリフト拡散方程式の離散化

デバイス基本方程式を離散化する具体例として、pn 接合における定常状態の DC 特性解析を 想定しよう。

解くべきデバイス基本方程式は、(定常状態であるから)電流連続式における時間依存性をゼロとおいた方程式となる。

$$J_p(x) = -qp(x)\mu_p \frac{\partial \Phi(x)}{\partial x} - qD_p \frac{\partial p(x)}{\partial x}$$
(53)

$$J_n(x) = -qn(x)\mu_n \frac{\partial \Phi(x)}{\partial x} + qD_n \frac{\partial n(x)}{\partial x}$$
(54)

$$\frac{1}{q}\frac{\partial J_p(x)}{\partial x} - G(x) + U(x) = 0$$
(55)

$$\frac{1}{q}\frac{\partial J_n(x)}{\partial x} + G(x) - U(x) = 0$$
(56)

$$\frac{d^2\Phi(x)}{dx^2} = -\frac{q}{\varepsilon_0} \left[p(x) - n(x) + N_d^+(x) - N_a^-(x) \right]$$
(57)

これらの方程式を離散化するために、想定している pn 接合の長さを L、領域を N 個の等間隔 メッシュに区切ったとする。ただし、実際のデバイス・シミュレーションにおいては、キャリア 密度や静電ポテンシャル等の変化はデバイス内の構造に大きく依存しており、これらの量が急峻 に変化する領域(例えば接合領域)では十分に小さいメッシュを用いる必要がある。従って、デ バイス・シミュレーションでは、不均一なメッシュを用いるほうがより一般的である。いまの簡 単化した系において、p および n 領域のコンタクトの位置は、

$$x_1 = 0, \qquad x_{N+1} = L$$

となる。さらに、補助的(auxiliary)なメッシュ(添字を m で表す)が、それぞれの上述のメッシュ点の中間にあると想定する(図8参照)。未知関数 $p(x), n(x), \Phi(x)$ は、上述のメッシュ上で計算され、これらの微分(例えば、電流密度)は補助的(auxiliary)なメッシュ上で計算することにする。

単純に電流密度の式を離散化して電流連続式に代入すると、数値計算上の不安定性が生じる。 これは、各メッシュでの変化量が、静電ポテンシャルとキャリア密度で大幅にスケールが異なる ことによる。つまり、キャリア密度は指数関数的に静電ポテンシャルに依存している。そこで、 各メッシュ内においては、変化がキャリア密度のそれに比べて小さいと考えられる静電ポテン シャル、移動度(拡散係数)、電流密度は、メッシュ内においては一定と仮定する。この方法を



図 8: main メッシュと auxiliry メッシュ。

Scharfetter-Gummelの方法と呼び、ドリフト拡散シミュレーションのその後の発展の契機となったものである。メッシュ内で積分すれば、正孔の電流密度に対する式は、以下のようになる。

$$p(x) = p(0)e^{\frac{qEx}{kT}} + \frac{J_p}{q\mu_p E} \left(1 - e^{\frac{qEx}{kT}}\right), \quad \text{with } E = -\frac{d\Phi}{dx}$$

これを書き換えれば、

$$J_p = -\frac{q\mu_p E}{1 - e^{\frac{qEh}{kT}}} \left[p(0)e^{\frac{qEh}{kT}} - p(h) \right]$$

となる。ここでメッシュ間隔を h とした。これは離散化した、以下の式と同等である。

$$J_{p}(m) = -\frac{q\mu_{p}(m)}{e^{-\frac{qEh}{kT}} - 1} \frac{\Phi(n) - \Phi(n+1)}{h} p(n) + \frac{q\mu_{p}(m)}{1 - e^{\frac{qEh}{kT}}} \frac{\Phi(n) - \Phi(n+1)}{h} p(n+1)$$

$$= \frac{q}{h} [\lambda_{p1}(m)p(n) + \lambda_{p2}(m)p(n+1)]$$
(58)

ここで、

$$\lambda_{p1}(m) = \mu_p(m) \frac{\Phi(n) - \Phi(n+1)}{1 - e^{-\frac{q}{kT}[\Phi(n) - \Phi(n+1)]}}$$
$$\lambda_{p2}(m) = \mu_p(m) \frac{\Phi(n) - \Phi(n+1)}{1 - e^{\frac{q}{kT}[\Phi(n) - \Phi(n+1)]}}$$

全く同様にして、電子に対する電流密度の式も離散化することができる。結果だけ書くと、

$$J_n(m) = \frac{q}{h} \left[\lambda_{n1}(m)n(n) + \lambda_{n2}(m)n(n+1) \right]$$
(59)

となる。ここで、正孔の場合と同様に、

$$\lambda_{n1}(m) = \mu_n(m) \frac{\Phi(n) - \Phi(n+1)}{1 - e^{\frac{q}{kT}[\Phi(n) - \Phi(n+1)]}}$$
$$\lambda_{n2}(m) = \mu_n(m) \frac{\Phi(n) - \Phi(n+1)}{1 - e^{-\frac{q}{kT}[\Phi(n) - \Phi(n+1)]}}$$

である。うえで与えられた電流密度の式を電流連続式

$$\frac{1}{q}\frac{J_p(m) - J_p(m-1)}{h} - G(n) + U(n) = 0$$
(60)

$$\frac{1}{q}\frac{J_n(m) - J_n(m-1)}{h} + G(n) - U(n) = 0$$
(61)

に代入すれば、定常状態に対する離散化された電流連続式を得る。

一方、ポアソン方程式を離散化すれば、以下のようになる。

$$\gamma_1(n)\Phi(n-1) + \gamma_2(n)\Phi(n) + \gamma_3(n)\Phi(n+1) = -\frac{q}{\varepsilon_0} \left[N_d(n) - N_a(n) + p(n) - n(n) \right]$$
(62)

ここで、(等間隔メッシュを用いているので)

$$\gamma_1(n) = \gamma_3(n) = \frac{1}{h^2}, \quad \gamma_2(n) = -\frac{2}{h^2}$$

である。

5. 付録

ドリフト拡散方程式の線形化

離散化された基本方程式は強い非線形性をもつ方程式系であることから、陽解法で解くことは 収束性において困難が伴う。そこで、含まれる各未知関数 $p(n), n(n), \Phi(n)$ について、各方程式 を以下のように線形化する。

電流連続式を線形化すると、以下のようになる。

$$\frac{1}{q}\frac{\delta J_p(m) - \delta J_p(m-1)}{h} - \delta G(n) + \delta U(n) = -\frac{1}{q}\frac{J_p^0(m) - J_p^0(m-1)}{h} + G^0(n) - U^0(n) \quad (63)$$

$$\frac{1}{2}\delta J_n(m) - \delta J_n(m-1) + \delta G(m) - \delta U(n) = -\frac{1}{q}\frac{J_p^0(m) - J_p^0(m-1)}{h} - G^0(m) + U^0(m) \quad (64)$$

$$\frac{1}{q}\frac{\delta J_n(m) - \delta J_n(m-1)}{h} + \delta G(n) - \delta U(n) = -\frac{1}{q}\frac{J_n^o(m) - J_n^o(m-1)}{h} - G^0(n) + U^0(n) \quad (64)$$

 $\delta J_p(m)$ は変分、 $J_p^0(m)$ 等はその変分を除いた部分であり、数値シミュレーションにおいては、 iterative に方程式を解くときの1回前の値を表す(変分 $\delta J_p(m)$ は各 iteration での変化量に対 応する)。

また、ポアソン方程式は、次のように線形化される。

$$\gamma_{1}(n)\delta\Phi(n-1) + \left[\gamma_{2}(n) - \frac{q^{2}}{\varepsilon_{0}kT}n^{0}(n) - \frac{q^{2}}{\varepsilon_{0}kT}p^{0}(n)\right]\delta\Phi(n) + \gamma_{3}(n)\delta\Phi(n+1) = -\gamma_{1}(n)\Phi^{0}(n-1) - \gamma_{2}(n)\Phi^{0}(n) - \gamma_{3}(n)\Phi^{0}(n+1) - \frac{q}{\varepsilon}\left[N_{d}(n) - N_{a}(n) + p^{0}(n) - n^{0}(n)\right]$$
(65)

ここじ、止扎めよび電子密度に対9 る发分を

$$\delta p(n) = -\frac{q}{kT} p^0(n) \delta \Phi(n), \quad , \delta n(n) = \frac{q}{kT} n^0(n) \delta \Phi(n)$$

とした。

正孔に対する電流密度 $J_p(m)$ は補助 (auxility) メッシュで定義されるから、 $J_p(m)$ の変分は 以下のように与えられる。

$$J_p(m) = J_p^0(m) + \delta J_p(m)$$

$$\approx J_p^0(m) + \frac{\partial J_p^0(m)}{\partial p(n)} \delta p(n) + \frac{\partial J_p^0(m)}{\partial p(n+1)} \delta p(n+1)$$

$$+ \frac{\partial J_p^0(m)}{\partial \Phi(n)} \delta \Phi(n) + \frac{\partial J_p^0(m)}{\partial \Phi(n+1)} \delta \Phi(n+1)$$

同様に、電子に対する電流密度 $J_n(m)$ は

$$J_n(m) = J_n^0(m) + \delta J_n(m)$$

$$\approx J_n^0(m) + \frac{\partial J_n^0(m)}{\partial n(n)} \delta n(n) + \frac{\partial J_n^0(m)}{\partial n(n+1)} \delta n(n+1)$$

$$+ \frac{\partial J_n^0(m)}{\partial \Phi(n)} \delta \Phi(n) + \frac{\partial J_n^0(m)}{\partial \Phi(n+1)} \delta \Phi(n+1)$$

となる。

また、生成再結合項U(x)は、Shockley-Reed-Hall モデルでは正孔と電子の数密度のみの関数 であるから、

$$U(n) = U^{0}(n) + \delta U(n)$$

$$\approx U^{0}(n) + \frac{\partial U^{0}(n)}{\partial p(n)} \delta p(n) + \frac{\partial U^{0}(n)}{\partial n(n)} \delta n(n)$$

5. 付録

となる。衝突イオン化による項はすべての未知変数に依存することから、単純な局所電界モデル を用いたとしても結構複雑になる。結果は以下のようになる。

$$\begin{aligned} G(n) &= G^{0}(n) + \delta G(n) \\ &\approx G^{0}(n) + \frac{\partial G^{0}(n)}{\partial p(n-1)} \delta p(n-1) + \frac{\partial G^{0}(n)}{\partial p(n)} \delta p(n) + \frac{\partial G^{0}(n)}{\partial p(n+1)} \delta p(n+1) \\ &+ \frac{\partial G^{0}(n)}{\partial n(n-1)} \delta n(n-1) + \frac{\partial G^{0}(n)}{\partial n(n)} \delta n(n) + \frac{\partial G^{0}(n)}{\partial n(n+1)} \delta n(n+1) \\ &+ \frac{\partial G^{0}(n)}{\partial \Phi(n-1)} \delta \Phi(n-1) + \frac{\partial G^{0}(n)}{\partial \Phi(n)} \delta \Phi(n) + \frac{\partial G^{0}(n)}{\partial \Phi(n+1)} \delta \Phi(n+1) \end{aligned}$$

尚、うえの各変分に含まれる偏微分係数は、それぞれの定義式から容易に導くことができる。 例えば、正孔に対する電流密度 $J_p(m)$ の正孔密度 p(n)に対する偏微分は、

$$\frac{\partial J_p^0(m)}{\partial p(n)} = \frac{q}{h} \lambda_{p1}(m)$$

となる。

これらの変分の表式を線形化した離散方程式に代入すれば、ドリフト拡散法における基本方程 式となる。これらの方程式は、各未知関数 p, n, Φ についての線形方程式であり、良く知られて いる 3 重対角行列で表される。従って、再帰的 (recursive) な方法を用いて効率良く解くことが できる。

線形化された電流連続式やポアソン方程式は、以下のような線形代数方程式に書かれている:

$$A(n)\delta y(n-1) + B(n)\delta y(n) + C(n)\delta y(n+1) = F(n), \quad 2 \le n \le N$$

ここで、

$$\delta y(n) = \delta \Phi(n)$$
 or $\delta p(n)$ or $\delta n(n)$

である。そこで、まず $\Phi(n)$ についての線形化されたポアソン方程式をうえのような 3 重対角行列の方程式に対応させ、正孔および電子密度が一定という条件のもとで解く。つぎに、正孔の電流連続式を静電ポテンシャルと電子密度が一定という条件のもとで、正孔密度 p(n) についての 3 重対角行列の方程式を解く。そして、電子の電流連続式を静電ポテンシャルと正孔密度が一定という条件のもとで、電子密度 n(n) についての 3 重対角行列の方程式として解く。これを各変数の変分が十分に小さくなるまで繰り返し、iterative に解く。

参考文献

半導体デバイス物理

- 1. Y. Taur and T. H. Ning, *Fundamentals of Modern VLSI Devices* (Cambridge, New York, 1998). (内容も物理的な取り扱いも非常に現代的。記述も平易で理解しやすい)
- 2. J.-P. Colinge and C.A. Colinge, *Physics of Semiconductor Devices* (Kluwer Academic, Boston, 2002). (あまり有名ではないが、物理的な取り扱いがとても詳細かつ正確)
- A. S. Grove, *Physics and Technology of Semiconductor Devices* (Wiley, New York, 1967). (半導体デバイス物理のバイブルで、これ以降の出版された多くの教科書はこの教科書を ベースにしている)
- 4. S. M. Sze, *Physics of Semiconductor Devices* (Wiley, New York, 1981). (半導体デバ イスに関する百科事典的教科書として有名。ただし、内容は少し時代遅れ)

デバイス・シミュレーション

- S. Serberherr, Analysis and Simulation of Semiconductor Devices (Springer, New York, 1984). (ドリフト拡散シミュレーションの基礎を詳細に解説)
- 2. 富沢 一隆, 半導体デバイス・シミュレーション (コロナ社). (モンテカルロシミュレー ションの基礎を平易に解説)
- 佐野 伸行,「デバイスシミュレーションとその物理」応用物理学会誌7月号, pp.906-910 (応 用物理学会、2002);「ナノスケール半導体構造における準弾道電子輸送」応用物理学会 誌10月号, pp.1135-1141 (応用物理学会、2007).