

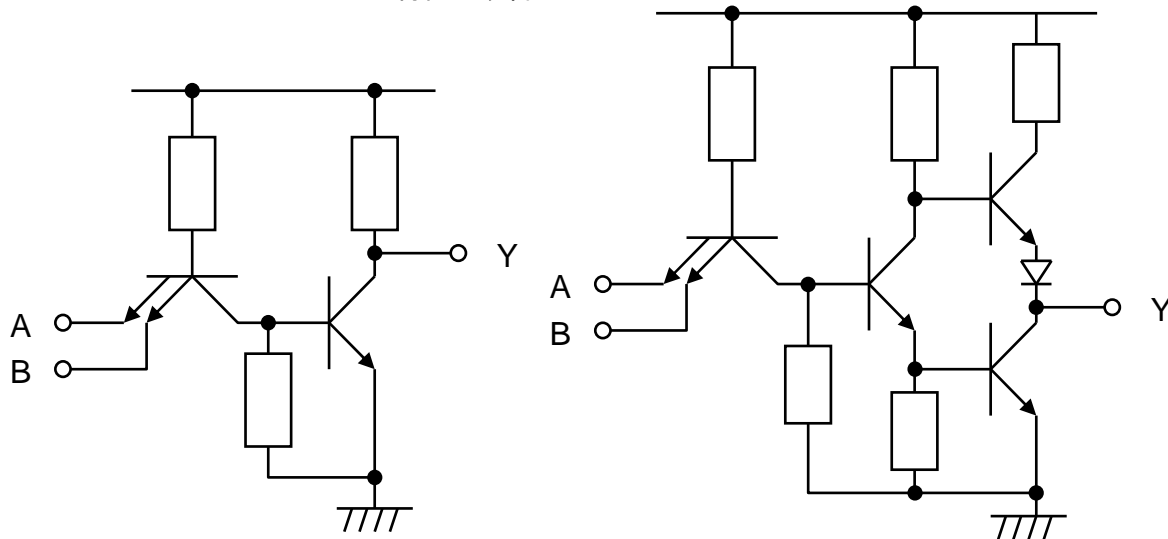
§ 5. TTL 素子 (標準的論理 IC)

DTL には、いくつかの欠点があり、それらを改良した TTL (Transistor-Transistor Logic) が 1962 年に開発され、1970 年代以降広く使われることになった。現在は、CMOS に論理回路の主役を譲っているが、現在でも、使いやすさなどの点で広く使われている。

<DTL からの改良点と回路構成> : **今年の授業ではやっていませんが、参考のため掲載します。**

マルチエミッタ入力による集積の容易さ・速度の改善

トータムポール出力による出力特性の改善



TTL による NAND 回路

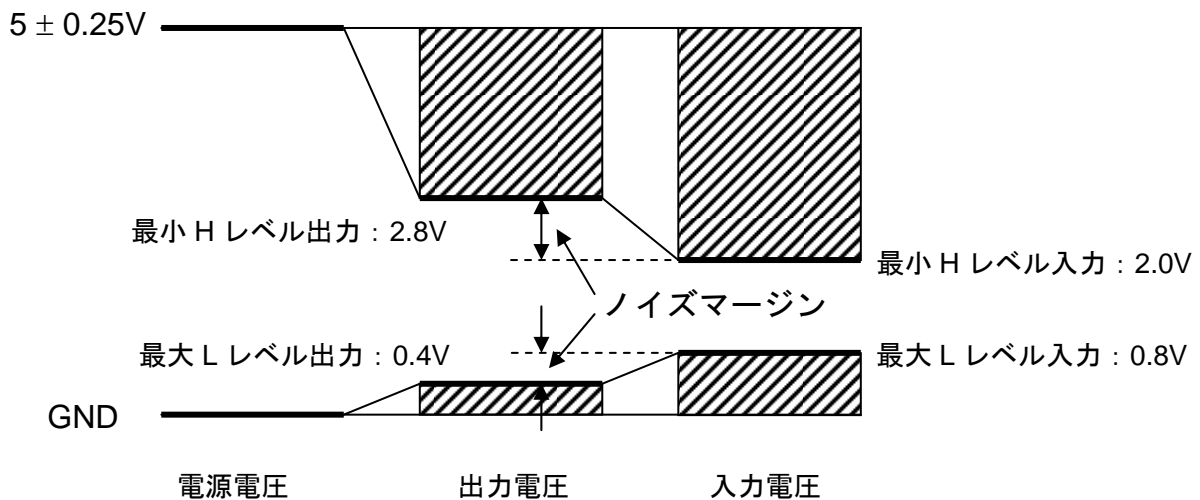
TTL の実用的回路

<スレショルド電圧 (Threshold voltage) >

H と L はどこで区別されるか? どのようにして決められるか?

論理回路で最も優先すべきことは信頼性。何百万にも及ぶ論理ゲートをどのようにしてエラーなく動かすか? 論理ゲートは、1カ所でも誤動作するとシステムとして正しく動作しない。

一つ一つのゲートができるだけ正しく動くように規格を決める必要がある。このため、H と L の規格は、出力と入力で別々に決定されている。



最小 H レベル出力 (2.8V) : これ以上の電圧が出力されるように規定されている

最大 L レベル出力 (0.4V) : これ以下の電圧が出力されるように規定されている

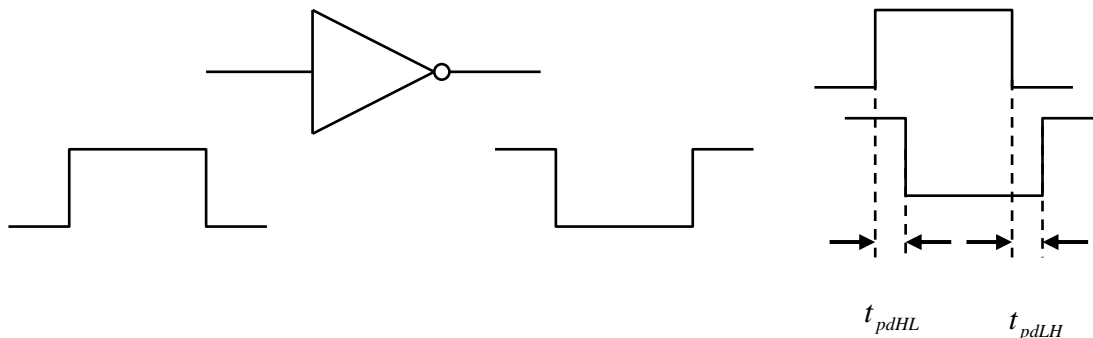
最小 H レベル入力 (2.0V) : これ以上の電圧を H レベルと認識するように規定されている

最大 L レベル入力 (0.8V) : これ以下の電圧を L レベルと認識するように規定されている

最小 H レベル出力 (2.8V) と最小 H レベル入力 (2.0V) の差 0.8V と、最大 L レベル出力 (0.4V) と最大 L レベル入力 (0.8V) の差 0.4V は、許容されるノイズという意味で、ノイズマージン (雑音余裕度) と呼ばれる。ノイズマージン以下のノイズであれば、論理回路は誤動作しないが、それ以上のノイズがあれば、誤動作する可能性が出てくる。

<スイッチング特性> : 今年の授業ではやっていませんが、参考のため掲載します。

TTL などの論理素子を使用する上では、動的な特性を知る必要である。論理素子の動的な特性を特徴づける量が、入力の変化に対する出力の変化の遅れ時間である、伝搬遅延時間 (propagation delay) である。



伝搬遅延時間は、TTL では、2~10ns である。

<消費電力>

TTL は、L の出力の時に電流が流れるため、消費電力は比較的大きく、1 ゲートあたり、1~2mW である。すなわち、10,000 ゲートで 10~20W になるため、高集積度には適していない。

ちなみに、1995 年頃に発表されたペンティアムプロセッサは、約 80 万ゲートであったため、TTL で製作すると 800~1600W となる (実際は CMOS であり、消費電力は 10W 程度であった)。

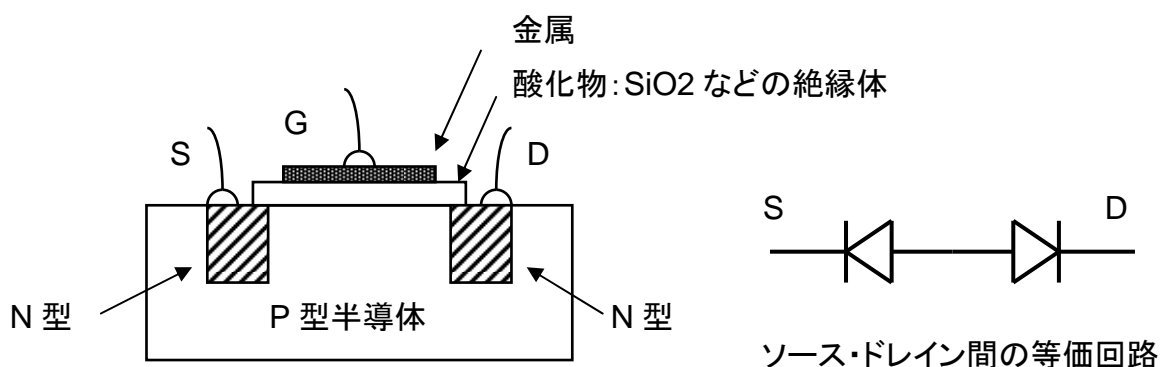
## § 6. C-MOSによる論理回路

MOSとは、Metal Oxide Semiconductorの略であり、金属酸化半導体と訳される。

MOSとは、これらが層構造をもつものであり、流れるキャリアの違いにより、N型MOSFETとP型MOSFETがある(FETとはField Effect Transistorの略で電界効果トランジスタと訳される)。

そして、NMOSFETとPMOSFETを組み合わせたゲート構造を、CMOS(Complementary Metal Oxide Semiconductor: 相補的金属酸化半導体)と呼び、CMOS構造を持つ論理ICは、TTLに変わって、現在、論理ICの標準となっており、LSIもほとんどがCMOSで作られている。

### <NMOSFETの構造>

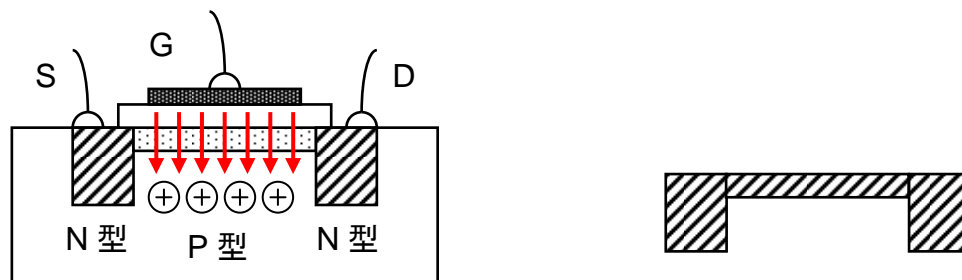


上に、NMOSFETの構造(断面図)を示す。

まず、P型半導体の中に、図のようにN型半導体を作り、その上にSiO<sub>2</sub>などの酸化物(絶縁体)を被せる。その酸化物の上に、金属電極をつける。それぞれにリード線をつけ、左から、ソース(source: S)、ゲート(gate: G)、ドレイン(drain: D)と名付ける。

ゲートに正の電圧を印加する(正にバイアスする)と、ゲートからp型半導体に向かって電界が発生し、p型半導体の中のホールは、ゲートから離れた方向に押し出され、ゲートとp型半導体の間に、n型半導体のような状態(MOS反転層: 下の図のドットで示した領域)ができる。

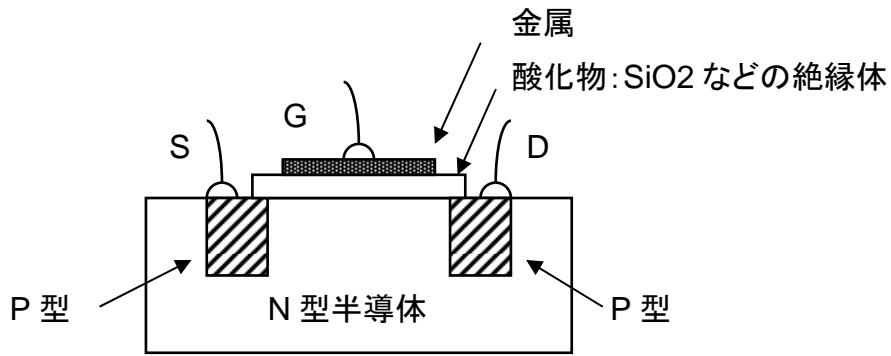
ソースとドレイン間は、上の図の右に示すように、ダイオードが逆に接続された構造をしているため、その間に電圧を加えても電流は流れないが、下のようにMOS反転層(これをN型のチャンネルと呼ぶ)ができると、N型半導体の通路が完成され、電圧を加えると電流が流れる。チャンネルの幅は、ゲート電圧で制御できるため、増幅作用を持たせることもできる。



ゲートバイアスの印加によるMOS反転層の形成

反転層の形成によるN型半導体の生成

<PMOS FET の構造>



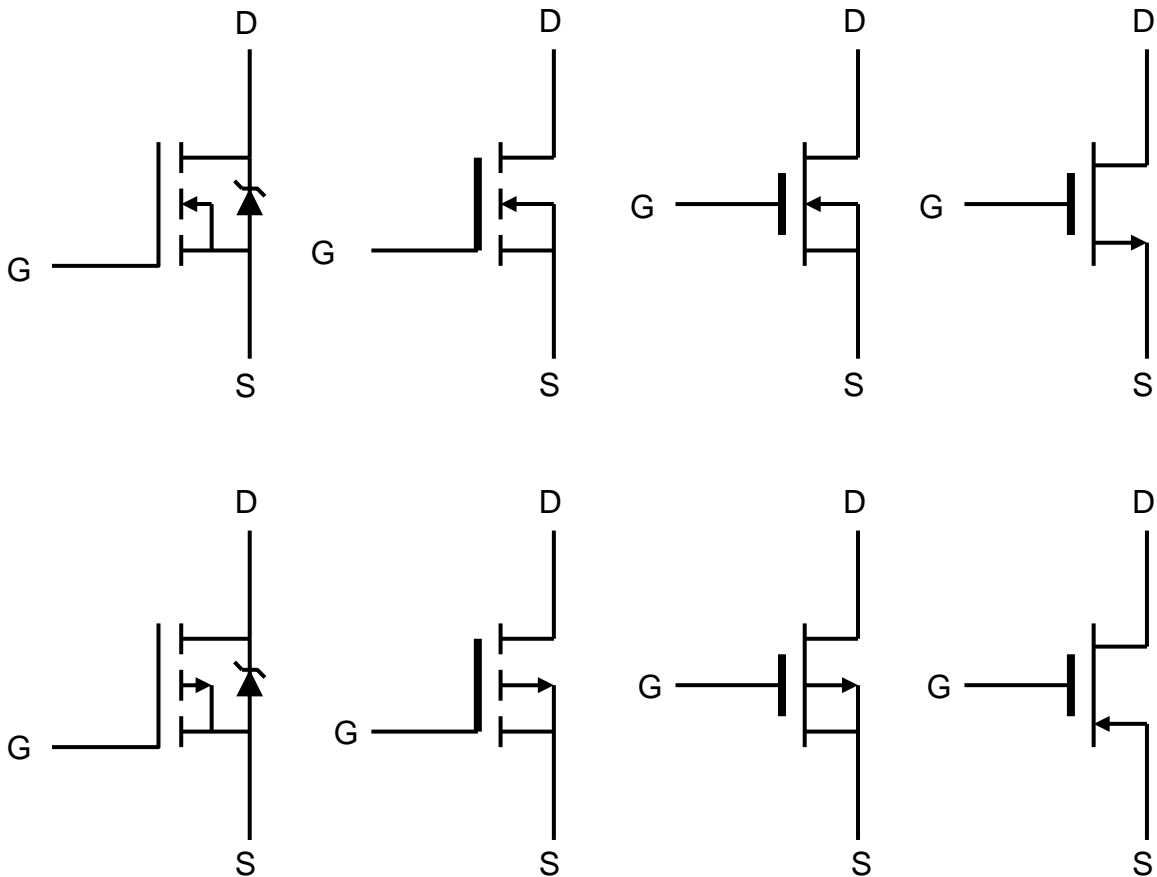
NMOS FET に対して、N 型半導体と P 型半導体を入れ替えただけの構造となっている。

ただし、ゲートをソースに対して負にバイアスしたときに、MOS 反転層が形成され、ソース・ドレイン間が電氣的にオンとなる。

<MOS FET の記号> : 今年の授業ではやっていませんが、参考のため掲載します。

MOS FET の記号としては、以下のいくつかのものが使われている。

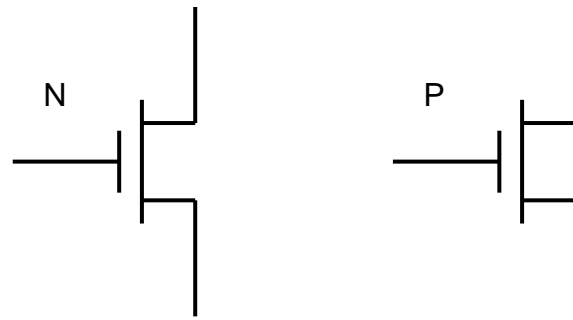
上段が NMOS FET, 下段が PMOS FET.



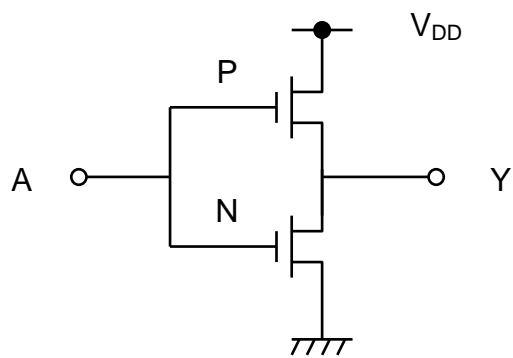
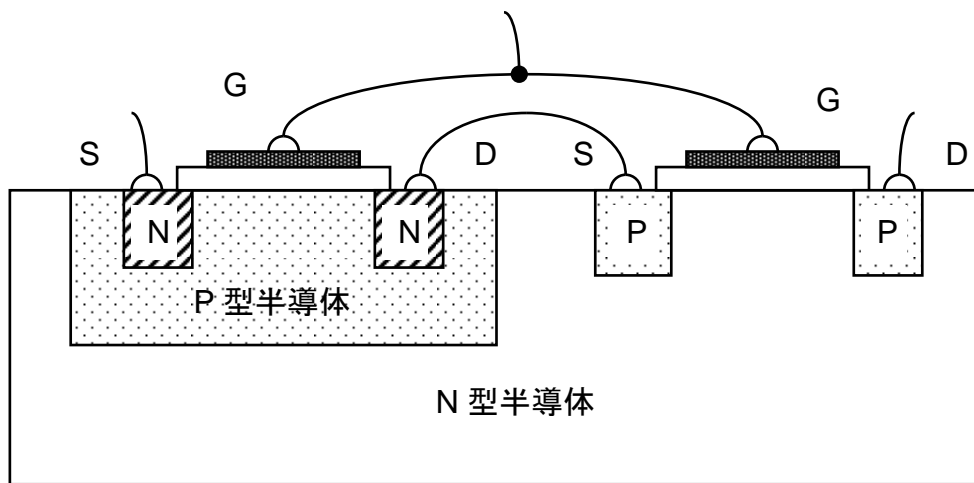
一番詳細な記号. DS 間のツェナーダイオードが記載されている.

DS 間のツェナーダイオードが省略されている.

ここでは、簡単のため、NMOS FET と PMOS FET をそれぞれ、以下のように記す。



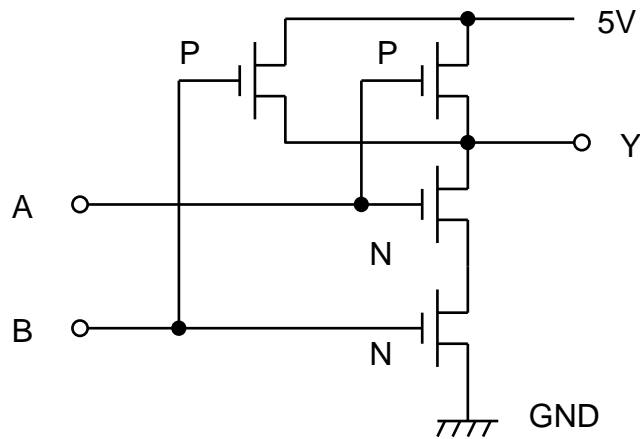
<CMOS による反転ゲート>



$V_{DD} = 3\sim 18V$

| A | Y |
|---|---|
| L | H |
| H | L |

<CMOSによる NAND 回路> : 今年の授業ではやっていませんが、参考のため掲載します.



| A | B | Y |
|---|---|---|
| L | L | H |
| L | H | H |
| H | L | H |
| H | H | L |

$Y = \overline{A \cdot B}$

<CMOSの特徴>

CMOSの特長

- (1) 回路が単純で集積化が容易.
- (2) 消費電力が少ない (電流は静止状態では流れず, スイッチングの時に流れる).

CMOSの欠点

- (1) 静電気で壊れやすい.
- (2) 電流ドライブに不向き (このような時には TTL などを使う).