

§ 7. ゲート回路の組み合わせによる論理回路

<組み合わせ回路と順序回路>

論理回路は、次の2つの種類に分けられる。

○組み合わせ回路 (combinational circuit) :

入力の論理値だけで組み合わせだけで出力が決まる回路

$$Y = f(A, B, C, \dots)$$

論理回路に時間の概念はない。静的な状態。

○順序回路 (sequential circuit)

現在の入力の論理値だけでなく、前の状態の出力によって出力が決まる回路

$$Y_{n+1} = f(Y_n, A, B, C, \dots)$$

論理回路に、時間ないし状態の概念が入ってくる。

順序回路の基礎をなすものが、フリップ・フロップである。

§ 8. フリップフロップとその応用

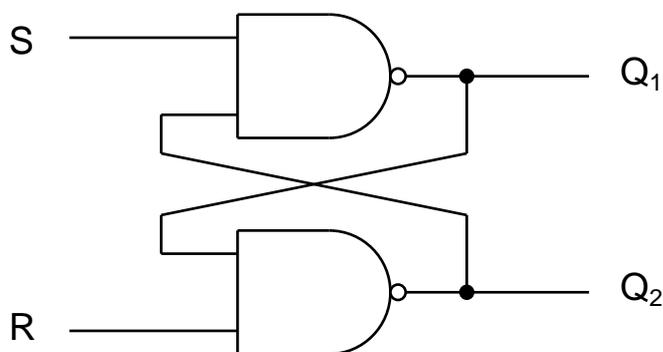
フリップ・フロップ (flip flop : FF) とは？

二つの安定な状態を持ち、その間が移り変わる電子回路。フリップとフロップは、蝶の羽の羽ばたきを表す擬態語である (wooden flip-flop とは下駄のことらしい)。

FF の中で、最も簡単で基礎的なものが RF-FF であり、最も複雑で多機能なものが JK-FF であるので、これらの2つの FF を解説する。

<RF-FF>

RS-FF は、以下のように、2つの NAND 回路を以下のように接続した回路である。



接続図

S	R	Q ₁	Q ₂
L	L	H	H
L	H	H	L
H	L	L	H
H	H	*	*

動作表

S と R が、両方 H のとき、 Q_1 と Q_2 の出力は、HL と LH のどちらにもなりうる。

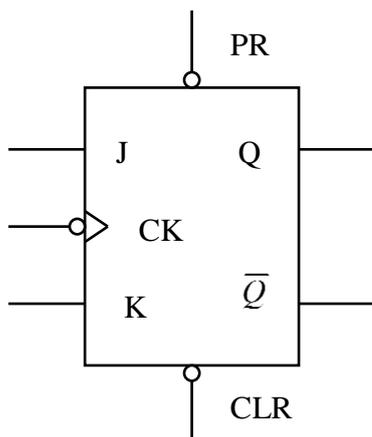
すなわち、その前の状態で、S と R が、L と H で、出力が HL となっていて、S が L から H になったのであれば、出力は HL のままである。逆に、S と R が H と L で、出力が LH となっていて、R が L から H になったのであれば、出力は LH のままである。このように、どちらの出力になるかは、前の状態の影響を受けるため、この回路が順序回路であることを示している。

なお、S は Set（数を置く）を意味し、Preset とも呼ばれる。S を L にすることにより、 Q_1 に 1 という数を置くことになる。R は Reset（Set をやめる）を意味し、R を L にすることにより、 Q_1 に 0 を置くことになる。

このように、S と R の入力は、L 入力の時に有効になり、このような入力を、負論理入力、Low active 入力などと言う。

<JK-FF>

最も高機能な FF. 8 個のゲートで作られる。5 個の入力と 2 個の出力がある。



CLR	PR	Q	\bar{Q}
L	L	動作保証なし	
L	H	L	H
H	L	H	L
H	H	前の状態	

J, K, PR, CLR は、レベル入力（H または L）。CK は、トリガ入力（立ち上がりもしくは立ち下がり）。そのようなトリガ信号が入った時に、出力が変化する。

CLR（クリア : Reset と同じ）、PR（プリセット）は、RS-FF の R と S と同様の動作である。すなわち、L 入力により、Q を 0 または 1 とする。

J	K	CK	Q_{n+1}	\bar{Q}_{n+1}
L	L		Q_n	\bar{Q}_n
L	H		L	H
H	L		H	L
H	H		\bar{Q}_n	Q_n

動作表の説明 :

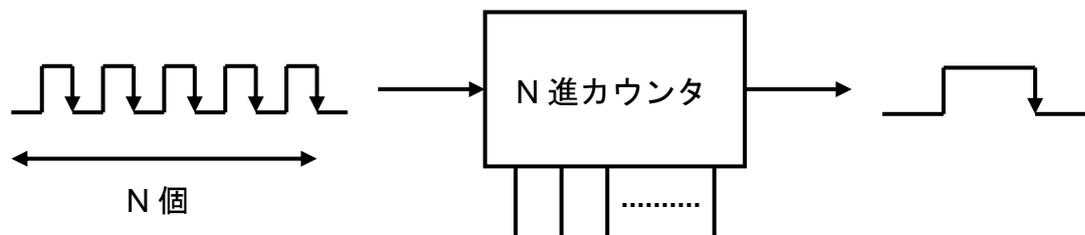
JK が共に L の時、CK にパルス入力があっても、出力は変化しない（記憶の保持）。JK が、LH もしくは HL の時、CK にパルス入力があれば、JK の入力が出力され、保持される（記憶操作）。JK が共に H の時、CK の入力により出力は反転（トグル）する。この性質は、カウンタに使用される。

<JK-FF を用いたカウンタ回路>

○ N進カウンタとは：下の(1)もしくは、(1)と(2)を満たす回路

(1) N個のパルス入力に対し、1個のパルスを出す回路.

(2) N個未満の数 n に対し、n 個のパルスが入力されたとき、n の状態を出力する回路.



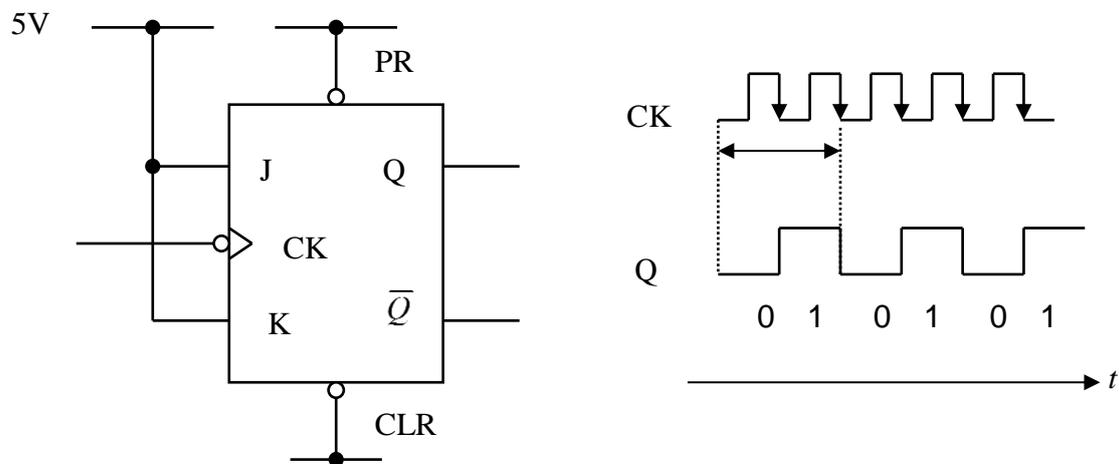
n (<N) の状態を表す：2進数

状態出力端子を、 $Q_0 \sim Q_3$ とすると、

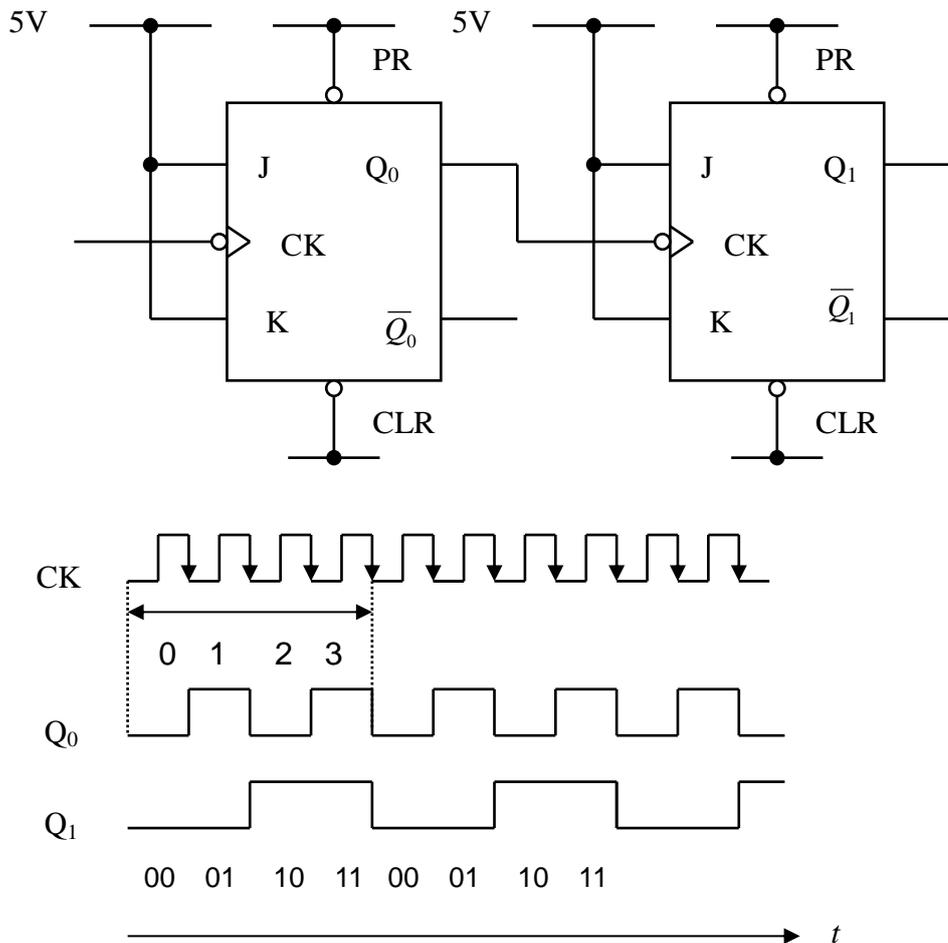
Q_3	Q_2	Q_1	Q_0	
1	0	1	0	n = 10
0	1	1	1	n = 7

○ カウンタの作成法

2進カウンタ



4進カウンタ



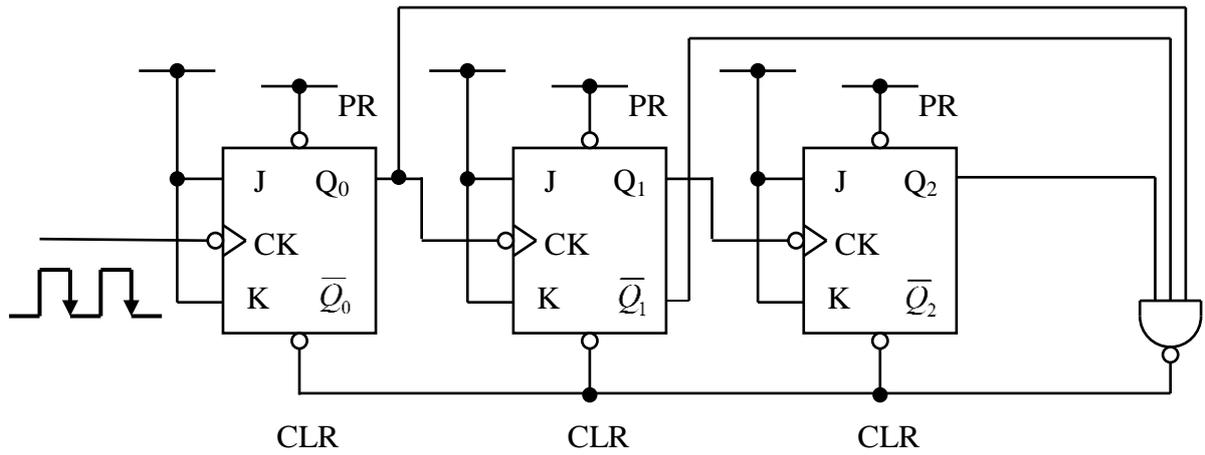
Q_1Q_0 を2進数とすると、 $0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow$ と変化する。

このように、この回路は、4個の入力パルスに対して Q_1 から1個のパルスを出力するだけでなく、 Q_1Q_0 は、外部へパルスが入力された数を出力する。

2N進カウンタは、JK-FFをつなげていくことにより作ることができるが、一般の数のカウンタを作るときは、カウンタの出力状態をデコードして、クリアパルスを出力するようにする。

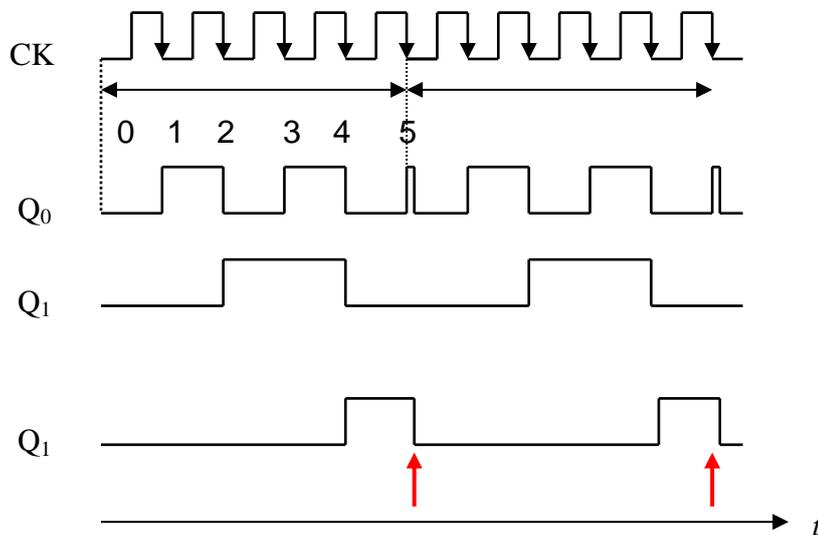
デコード (decode) というのは、「コードを解読する」という意味で、二進数で表された論理信号入力がある特定の値のときのみ、決められた論理信号 (H または L) を出す機能である。

次に示す5進カウンタの回路では、8進カウンタの出力が5という数字を表す時のみ、NANDの出力がLとなる。



5進カウンタの回路図 :5 個目のパルスが入力された直後に, $Q_2 Q_1 Q_0$ の出力は二進数で 5 を表すので, この論理値の組み合わせで, 3 入力 NAND 回路をアクティブ (L) にし, すべての JK-FF をクリアし初期状態に戻す.

$Q_2 Q_1 Q_0$	パルス数 n
0 0 0	0
0 0 1	1
0 1 0	2
0 1 1	3
1 0 0	4
1 0 1 → 0 0 0	5
0 0 1	6
0 1 0	7
0 1 1	8



○N進カウンタの作り方

(1) $2^{n-1} < N \leq 2^n$ となる n を決める.

(2) n 個の JK-FF を使い, J と K は H, PR は H, CLR はすべて互いに接続する. Q 出力は, 次段の CK 入力に接続する. そして, 初段の CK にクロックパルスを入れる.

(3) N を二進数で表し, その下の桁から, **入力に近い段の出力に順番に対応させ**, その桁が 1 ならば Q 出力, 0 ならば \overline{Q} 出力を n 入力 NAND 回路の入力につなぎ, その出力を CLR につなぐ.

(3)が理解できているかどうかは, 11 進もしくは 13 進のカウンタが正しく作れるかどうかを見ることにより分かります. 試験で, これを間違える人がかなりいますが, これによって, N 進カウンタを理解しているかどうか, すぐに分かります (でも, **何度言っても, 必ず間違える人がいる**).